



Det 5. **FPGA-forum** - det norske FPGA-miljøets møteplass

FPGA-forum og utstilling: tirsdag 2. og onsdag 3. februar 2010
Britannia Hotel (Trondheim)

FPGA-forum er den årlige møteplassen for FPGA-miljøet i Norge. Her samles FPGA-designere, prosjektledere, tekniske ledere, forskere, siste års studenter og de største leverandørene på ett sted for 2 dagers praktisk fokus på FPGA.

Det blir foredrag fra norske bedrifter om utviklingsmetodikk og praktisk erfaring, universitetene presenterer nye og spennende prosjekter, og leverandørene stiller med aktuelle tekniske innlegg med et minimum av markedsføring. På utstillingen vil du kunne vurdere teknologi og verktøy fra de ledende leverandørene i Norge.

FPGA-forum byr i tillegg på en ypperlig anledning til å møtes og utveksle erfaring innenfor FPGA-miljøet i Norge - både i pausene og under det sosiale arrangementet på kvelden.

FPGA-forum Praktiske opplysninger

Årets **FPGA-forum** er skjøvet 3 måneder. Dette fordi vi da unngår kollisjon med en travel høstsesong både innenfor FPGA & Embedded System og for hotellene i området. Dette er viktig både for deltagere og utstillere.

FPGA-forum 2010s konferanseavgift er kr. 4.900 for Teknamedlemmer og forelesere, kr. 3.000 for ansatte ved universitet/høgskole, og kr 5900 for andre. Avgiften inkluderer deltakelse, bankett, og lunsj. FPGA-interesserte studenter kan delta gratis på konferansen, men lunsj og bankett er ikke inkludert.

Program tirsdag 2. februar 2010 (NB: Se abstracts bakerst i programmet.)

09.00	Registrering og kaffe.	
Sesjon 1	Track 0	
09.30	Keynote by Prof. Jürgen Becker, Karlsruhe Institute of Technology - KIT Adaptivity, Reliability and Performance in future SoCs - Adaptive Multi-Core Architectures in the Nano Era	
10.25	Leverandørpresentasjoner	
11:10	Kaffepause	
Sesjon 2	Track 1 Sesjonsleder: Kjetil Svarstad, NTNU	Track 2 Sesjonsleder: Hans Jørgen Fosse, Flextronics
11.30	Partial Runtime Reconfiguration for Industrial Applications – Methods and Tools Dirk Koch, UiO	Dokumentering med doxygen Tore Fleten, Tandberg
12.00	Random number generator in FPGA Knut Wold, Høyskolen i Gjøvik	Noen eksempler på bruk av perl skript i forbindelse med FPGA designprosess Hans Strømsøyen, Mikrokrets
12:30	FPGA-utvikling med en smidig tilnærming Håvard Pedersen Alstad, Data Respons	40nm FPGA: a great leap forward . . . or a leap in the dark? Andy Jolley, Synopsys/Synplicity
13.00	Lunsj og Utstilling	
Sesjon 3	Track 1 Sesjonsleder: Jim Tørresen, Universitetet i Oslo	Track 2 Sesjonsleder: Arild Kjerstad, Ericsson
14:15	Undervisnings-sesjonen - Jim Tørresen, UiO - Knut Wold, Høyskolen i Gjøvik - Per Gunnar Kjeldsberg, NTNU - Roar Skogstrøm, UiO - Jan Anders Mathisen, Xbit Design - Espen Tallaksen, Digitas - Debatt	Use of Assertions for easing design reuse Mentor
14:45		Hierarkiske fillister og skript forenkler arbeidsdagen Oddgeir Austad, Ericsson
15:15		Power Saving and Power Management design techniques with low power optimised FPGA's with serdes Adam Clarkson, Avnet Memec / Lattice Semiconduc.
15.45	Kaffepause og Utstilling	
Sesjon 4	Track 1 Sesjonsleder: Espen Tallaksen, Digitas	Track 2 Sesjonsleder: Atle Tangedal, Tekna
16.30	Partial reconfiguration - an introduction to practical use Jan Anders Mathisen, Avnet Silica	Ultra-low Power FPGAs for 'Cool' Portable Applications Actel, Rouzbeh Hosseinalikhani
17:00		Safety Critical Design Arrow / Altera
17.30	Slutt – faglige presentasjoner.	
19.00	Mottagelse i Lobby Lounge utenfor Speilsalen, Britannia Hotel	
19.30	Middag i Speilsalen, Britannia Hotell. - Underholdning: Pirum ("Studentersamfundets glade gutter") - Pianobaren?	

Program onsdag 3. februar 2010 (NB: Se abstracts bakerst i programmet.)

Sesjon 5	Track 1 Sesjonsleder: Arild Kjerstad, Ericsson	Track 2 Sesjonsleder: Atle Tangedal, Tekna
09.00	Generering av modul interface, register-package, monitor data, SW header file, dokumentasjon etc. fra single source register info <i>Steinar Iversen, Digita</i>	How to Solve DDR Parametric and Protocol Measurement Challenges <i>Thomas Gøreansson, 4Test AS / Agilent Technologies</i>
09.30	Utfordringer med ha direkte gjenbruk (felles source filer) på tvers av prosjekter. <i>Tore Fleten, Tandberg</i>	Design assurance for products demanding high-reliability <i>Mentor</i>
10.00	Implementasjon av PCIe i Xilinx Spartan6 og Virtex5 <i>Roar Skogstrøm, KDA</i>	
10.30	Kaffepause og Utstilling	
Sesjon 6	Track 1. Sesjonsleder: Per Gunnar Kjeldsberg, NTNU	Track 2 Sesjonsleder: Kjetil Svarstad, NTNU
11.15	Høy ytelses DDR minne grensesnitt I FPGA <i>Morten Gjetanger, Data Respons</i>	Linux m/MMU på Altera Nios <i>Øyvind Harboe, Zylin</i>
11.45	User experience using high performance FPGA in battery operated equipment <i>Morten Haugen, GE Healthcare</i>	Design for easier reuse <i>Arrow Altera</i>
12.15	A shortcut to hardware using C - a case study from the real world... <i>BitSim</i>	
12.45	Lunsj og Utstilling	
Sesjon 7	Track 1 Sesjonsleder: Einar Aas, NTNU	Track 2 Sesjonsleder: Roar Skogstrøm, Kongsberg
14.00	Prototyping and Verifying HDL Code with Graphical Development Tool <i>Vidar Grønås, National Instruments</i>	Image data transfer using PCI Express. <i>Atle Holter, Tomra</i>
14.30	From Algorithm to Silicon using Synphony-HLS <i>Antti Innamaa, Synopsys/Synplicity</i>	Designvurderinger for effektiv og sikker utvikling <i>Espen Tallaksen, Digita</i>
15.00	Kaffepause	
Sesjon 8	Track 0 Sesjonsleder: Atle Tangedal, Tekna	
15.15	Hvordan gikk det egentlig med de maskinvarebaserte søkemotorene i FAST ? Tilbakeblikk på den rolle full-custom brikkeutvikling og massiv parallellitet hadde i løpet før, under og etter FAST. Tilnærminger til "content-addressable memory / storage" (wiki), ble brukt som alternativer til klassiske indeks-baserte oppslagsmetoder. Arne Halaas, NTNU	
15.50	Historien om utviklingen av GSM "Flaks, overbevisning og utholdenhet" - Nøkkelen til suksess! Torleif Maseng, FFI	
16.25	Avslutning	
16.30	Slutt	

Utstillerliste:

- 4 Test AS www.4test.no
- Acal Norge (Actel) www.acal.no
- Arrow Norway (Altera) www.arrowne.com
- Avnet Memec (Lattice Semiconductor) www.emea.avnet-memec.eu
- Avnet Silica (Xilinx) www.silica.no
- BitSim www.bitsim.com
- Data Respons www.datarespons.no
- Dyrberg Trading (Mentor) www.dyrberg.dk
- EBV www.ebv.com
- Mikrokrets www.mikrokrets.no
- National Instruments www.ni.com/norway
- Synopsys www.synopsys.com

Undervisningssesjonen

Nytt på FPGA-forum i år er at vi vil ha fokus på undervisning innen FPGA i Norge. Målsetningen er både å utveksle erfaring mellom universitet/høgskoler og å være en arena for kommunikasjon mellom utdanningsinstitusjoner og industrien. Tre utdanningsinstitusjoner med kurs/fag innen FPGA og programmering av slike kretser vil fortelle om sitt opplegg. Deretter vil to industrirepresentanter fortelle hva de mener er viktig innen utdanning relatert til FPGA. Sesjonen avsluttes med en kort diskusjon som forhåpentligvis kan bli en nyttig meningsutveksling mellom akademia og industrien.

Abstracts for dette er gitt i separat tabell helt til slutt i programmet.

Underholdning (under middagen):

Pirum (Fra Studentersamfundet i Trondheim)

Program-komitèen for **FPGA-forum**:

- Arild Kjerstad, Ericsson
- Hans Jørgen Fosse, Flextronics
- Jan Anders Mathisen, Silica/Xilinx
- Jim Tørresen, Universitetet i Oslo
- Atle Tangedal, Tekna
- Espen Tallaksen, Digitas

Abstracts for presentasjoner ved FPGA-forum 2010
(Alfabetisk rekkefølge på firmanavn)

Firma, Navn	Tittel, Abstract
4Test Thomas Göransson Agilent Technologies	<p>How to Solve DDR Parametric and Protocol Measurement Challenges DDR memory technology which is essentially parallel bus technology is reaching the speeds of serial technology. As the speed increases, the validation effort increases exponentially. The parametric and protocol performance has to be validated in order for the memory system to function properly. They are the key to system interoperability, or the guarantee that devices from different vendors will integrate well. This presentation outlines the validation challenges that many customers face today, describes some of the new probing solutions and tools for DDR parametric and protocol validation that will overcome some of the challenges.</p>
Actel Rouzbeh Hosseinalikhani	<p>Ultra-low Power FPGAs for 'Cool' Portable Applications This session will explore the varieties of low-power FPGAs available to today's power-, space- and cost-sensitive designers. Each offering provides a different combination of ingredients -- power, speed, logic and I/O to meet the low power consumption, extended battery life, small form factor and low system and development cost demands of next-generation consumer, industrial and medical portable applications.</p>
Arrow/Altera	<p>SafetyCritical Designs in FPGA CycloneIII LS family offers new features to facilitate safety critical systems, such as AntiTampering Detection/Prevention and Design Separation/Isolation. Learn more about the concepts and tools in this session</p>
Arrow/Altera	<p>Design for easier reuse Many designers have a need to find a standardized interface to building blocks to ease connectivity and enable reuse. Maybe the open interface specification AvalonMM and AvalonST can be a good choice? This session will dive into the details of the Avalon specification</p>
Avnet Memec / Lattice Semiconductor Adam Clarkson	<p>Power Saving and Power Management design techniques with low power optimised FPGA's with serdes Power budgets and management are now more critical in the design process as FPGA vendors introduce higher performance, more serdes and greater capacity devices. FPGA power differs greatly between those architectures optimised purely for performance and those optimised for low power and cost. Power now must be known before board manufacture and the FPGA supply sequencing managed. Lattice Semiconductor provides advice on using power saving design techniques, to accurately estimate or calculate your fpga power using estimation tools and how to safely sequence your FPGA supplies using programmable Power Management devices.</p>
Avnet Silica / Xilinx Jan Anders Mathisen	<p>Partial reconfiguration - an introduction to practical use Under FPGA-Forum-2008 ble partiell rekonfigurasjon forklart og ulike anvendelser og ideer presentert ("Partial reconfiguration - of practical use or just an academic exercise?"). Mange har inntrykk at dette fremdeles er en teknologi og metodikk for spesielt interesserte. Årets presentasjon ser nærmere på kretsteknologi, metoder og programvare som vil gjøre partiell rekonfigurasjon tilgjengelig for "vanlige" designere av FPGA-løsninger."</p>

BitSim	<p>A shortcut to hardware using C - a case study from the real world... Today's designs tend to grow in complexity, and so does the development time. Both VHDL and Verilog are cycle based languages forcing the designer to focus on cycle delays and synchronisms in data and control paths instead of on the algorithms. A case study will be presented from the real world describing how BitSim helped a company to start using ImpulseC to implement software defined radio, SDR, algorithms in FPGA hardware.</p>
Data Respons Håvard Pedersen Alstad	<p>FPGA-utvikling med en smidig tilnærming Smidig utviklingsmetodikk har blitt godt mottatt innen softwareutvikling de siste årene. I et større utviklingsprosjekt for en kunde har vi utvidet smidig utvikling etter SCRUM-modellen til å brukes på både FPGA- og hardwaredelen av prosjektet. Hva har innføring av sprinter, fokus på testdrevne utvikling for verifikasjon og tett samarbeid mellom utviklingsteamene for FPGA og SW/ HW hatt å si for prosjektet?</p>
Data Respons Morten Gjetanger	<p>Høy ytelses DDR minne grensesnitt I FPGA Mange FPGA prosjekter bruker DDR type minne men store krav til ytelse. Men ytelsen til DDR minne kan være veldig avhengig av aksess mønsteret. Det vil bli gått igjennom de viktigste faktorene som påvirker ytelsen og forslag på løsninger basert på et konkret prosjekt hvor en FPGA brukes til billedbehandling.</p>
Digitas Steinar Iversen	<p>Generering av modul interface, register-package, monitor data, SW header file, dokumentasjon etc. fra single source register info SW-aksesserbare registre i en FPGA er ofte en kilde til dobbelarbeid, misforståelser og uoverensstemmelser mellom HW/FPGA og SW . Det ideelle er single source for registerbeskrivelser, adresser, funksjonell bruk, etc, som kan benyttes sammen med et definert buss-grensesnitt og dokumentasjonsmaler og automatisk generere alle registerrelaterte elementer som trengs til utviklingen av et FPGA-basert embedded system. Typiske elementer som kan autogenereres er HDL-kode til en moduls buss-grensesnitt, adressemap til HDL package, SW header files, testbenk for register test, monitor for rapportering av SW register-aksesser i en FPGA til en simuleringlogg, buss-grensesnitt-assertions, modul dokumentasjon og FPGA dokumentasjon.</p>
Digitas Espen Tallaksen	<p>Designvurderinger for effektiv og sikker utvikling Det er viktig å angripe et moduldesign på en strukturert måte for å finne en god løsning mhp. både design-effektivitet og kvalitet. I denne presentasjonen går vi inn på typiske problemstillinger under utvikling av en modul og bruker et FIFO-design som eksempel. Hovedfokus vil være på diverse design-issues både for synkron og asynkron FIFO, der mange elementer er generelle designavveininger. Vi tar også kort for oss andre problemstillinger fra spesifikasjon til ferdig testet modul.</p>
Ericsson John Aasen eller Oddgeir Austad	<p>Hierarkiske fillister og skript forenkler arbeidsdagen FPGA'ene vi designer inneholder stadig flere og mer komplekse funksjoner. Gjenbruk av moduler er vesentlig for å oppnå tilstrekkelig produktivitet. Her presenteres hvordan bruk av hierarkiske fillister og skript forenkler arbeidet, både for moduledesignere og toppnivå-designere. Skriptene bidrar til at alle i gruppa bruker en enhetlig arbeidsmetodikk. Hierarkiske fillister og versjonskontroll bidrar til at de riktige filene og versjonene av filer blir brukt i topp-nivå syntese og simulering, og at endringer i en sub-modul automatisk blir oppdaget alle steder modulen brukes.</p>
FFI Torleif Maseng	<p>Avslutningsforedrag: Historien om utviklingen av GSM: "Flaks, overbevisning og utholdenhet " Nøkkelen til suksess!</p>

<p>GE Healthcare Morten Haugen</p>	<p>User experience using high performance FPGA in battery operated equipment</p> <p>Using a high performance FPGA for signals processing in a battery operated medical ultrasound instrument gave lots of challenges with respect to power consume, battery lifetime and temperature control. The presentation summarizes some of the experience made during the design of Vscan, a recently introduced ultrasound instrument.</p> <ul style="list-style-type: none"> - power on/off, reconfiguration - power supply voltage adjustment - clock gating - clock stopping - i/o vs. power - temperature control - design for low power
<p>Høgskolen i Gjøvik Knut Wold</p>	<p>Random number generator in FPGA</p> <p>A true random number generator (TRNG) is an important component in today's cryptographic systems. For instance, it is used for generation of keys and initial vectors. A good TRNG should produce a stream of bits where the value of the next bit is unpredictable and each bit is independent of all the previous bits. Implementing a TRNG entirely inside an FPGA is desirable in order to have a pure digital design and to avoid the use of external components making the implementation more resistant against attacks. In this presentation we are going to look at different aspects around implementation of a TRNG in an FPGA and briefly discuss some proposed designs of TRNG in FPGA</p>

<p>Jürgen Becker Karlsruhe Institute of Technology - KIT</p>	<p>Keynote: Adaptivity, Reliability and Performance in future SoCs - Adaptive Multi-Core Architectures in the Nano Era</p> <p>The field of embedded electronic systems is still emerging. Multipurpose adaptivity and reliability features are playing more and more of a central role, especially while scaling silicon technologies down according to Moore’s benchmarks. Leading processor and mainframe companies are gaining more awareness of reconfigurable computing technologies due to increasing energy and cost constraints. My view is of an “all-win-symbiosis” of future silicon-based processor technologies and reconfigurable circuits/architectures.</p> <p>Dynamic and partial reconfiguration has progressed from academic labs to industry research and development groups, providing high adaptivity for a range of applications and situations. Reliability, failure-redundancy and run-time adaptivity using real-time hardware reconfiguration are important aspects for current and future systems. Thus, scalability, as we have experienced for the last 35 years is at its end as we enter the so-called Nano Era. Beyond the capabilities of traditional reconfigurable fabrics (like FPGAs), nano circuits/architectures allow for micro-mechanical switches that enable new memory and reconfiguration technologies with the advantage of online chip adaptivity and non-volatility. The deployment of new 3-D nano structures and materials promises higher integration densities and is considered advantageous for signal delays. Yield is significantly lower, and could, as we define it in the classical sense, eventually be nil! Transient faults may lead to unreliable information processing as information in nano-sized devices is much less. Power consumption and related problems present a challenge where information is processed within a smaller area/volume budget. Thus, novel design methodologies, novel adaptive mechanisms which solve operation-time shortcomings, and novel computing paradigms are necessary. Fault tolerance/correction in all its facets is key and should be considered an inherent technique in any nano design/synthesis step. This includes the consideration of appropriate fault detection techniques and especially the discussion of necessary efficient and online self-repairing mechanisms for driving such kind of technologies and architectures.</p> <p>This keynote will finally discuss in detail the corresponding challenges and specifically outline the promising perspectives for future multi-core as well as dynamically reconfigurable, complex, adaptive and reliable systems-on-chip, for embedded and also general purpose computing systems.</p> <p>Jürgen Becker is Full Professor for Embedded Electronic Systems in the department of Electrical Engineering and Information Technology at Universität Karlsruhe (TH). His actual research is focused on industrial-driven System-on-Chip (SoC) integration with emphasis on adaptivity, e.g. dynamically reconfigurable hardware architecture development and application in automotive and communication systems. Prof. Becker is Head of the Institute for Information Processing (ITIV) and Department Director of Electronic Systems and Microsystems (ESM) at the Computer Science Research Center (FZI). From 2001- 2005 he has been Co-Director of the International Department at Universität Karlsruhe (TH). He is author and co-author of more than 200 scientific papers, and active as general and technical program chairman of national / international conferences and workshops. He is executive board member of the German IEEE section, Board member of the GI/ITG Technical Committee of Architectures for VLSI Circuits, Associate Editor of the IEEE Transactions on Computers, and Senior Member of the IEEE. Since October 2005 Prof. Becker is Vice-President ("Prorektor") for Studies and Teaching at Universität Karlsruhe (TH), which is currently emerging into the new Karlsruhe Institute of Technology – KIT – the consequent and unique merger of a large national research lab in the Helmholtz Society as well as of a prominent state university of Baden-Wuerttemberg in Germany.</p>
<p>KDA Roar Skogstrøm</p>	<p>Implementasjon av PCIe i Xilinx Spartan6 og Virtex5</p> <p>Presentasjonen vil innlede med en oversikt over bruk av PCIe i et av KDA sine kommunikasjonsprodukter. Deretter vil det bli gjennomgått hvordan vi har laget og testet data grensesnittet mellom PCIe endpoint modulen i Spartan6 og de andre modulene i FPGA kretsen. En implementasjon hvor det ble brukt en Virtex5 krets i påvente av at Spartan6 ble tilgjengelig vil bli gjennomgått. Interrupt håndtering vil også bli gjennomgått. Til slutt vil det bli omtalt hvordan vi brukte testkortene ML507 og SP605 til å teste PCIe og mye av funksjonaliteten i FPGA kretsen før det egenutviklede kretskortet var ferdig.</p>
<p>Mentor</p>	<p>Design assurance for products demanding high-reliability</p> <p>How do you guarantee your product meets its market place requirements all the way from specification, design and verification?</p> <p>Programmable systems in domains such as avionics, medical, transportation and telecommunications have exacting reliability requirements and at the same time involved some exceedingly complex designs. The commercial avionics world now require adhesion to a standard called DO-254 for hardware to capture, trace and validate to ensure reliability levels are met. Does DO-254 have design assurance lessons for other domains? This presentation debates how reliability can be built in to the hardware design process for programmable systems and illustrates how HDL coding standards are set and assured</p>

Mentor	<p>Use of Assertions for easing design reuse Verifying that your design functions as intended is a difficult problem, ensuring that when it is reused in subsequent projects is even more of a headache. This session will discuss the issues facing design reuse and demonstrate the manner in which the use of Assertions can ensure this is done reliably and efficiently.</p>
Mikrokrets Hans Strømsøyen	<p>Noen eksempler på bruk av perl skript i forbindelse med FPGA designprosess Aktuelle problemstillinger rundt FPGA designprosess er:</p> <ul style="list-style-type: none"> • Hvordan sikre konsistens mellom kretsskjema/nettliste for kort og FPGA pinneallokering i UCF? FPGA'er har gjerne flere hundre pader og manuell konsistenssjekk kan være tidkrevende. • Hvordan redusere tid på tekstskriving der resultatet egentlig er gitt? Når kretsskjemaet er laget vet man gjerne hvilke signaler som er relevante og toppnivå for vhdl kan lages. <p>I presentasjonen vil det bli gitt noen eksempler på hvordan disse problemstillingene kan imøtekommes ved bruk av perl skript</p>
National Instruments Aku Wilenius	<p>Prototyping and Verifying HDL Code with Graphical Development Tool An introduction using graphical LabVIEW programming language and off-the-shelf FPGA hardware to give digital designers the ability to quickly connect a hardware description language (HDL) with real-world analog and digital I/O to prototype, test, validate, and optimize designs based on actual performance. Understand how graphical programming tools can enable you to quickly develop reconfigurable hardware logic and architect complex applications containing FPGAs, real-time processors, networking and general purpose PCs.</p>
NTNU Arne Halaas	<p>Avslutningsforedrag: Hvordan gikk det egentlig med de maskinvarebaserte søkemotorene i FAST ? Tilbakeblikk på den rolle full-custom brikkeutvikling og massiv parallellitet hadde i løpet før, under og etter FAST. Tilnærminger til "content-addressable memory / storage" (wiki), ble brukt som alternativer til klassiske indeks-baserte oppslags- metoder. Arne Halaas er professor ved institutt for Institutt for datateknikk og informasjonsvitenskap ved NTNU. Hans forskning er innen algoritmer og søketeknologi. Halaas var sentral i utviklingen av teknologien som ledet til Fast Search & Transfer ASA. Nåværende adm. dir. Bjørn Olstad er professor II ved hans forskningsgruppe Algoritmekonstruksjon.</p>
Synopsys / Synplicity Doug Amos	<p>40nm FPGA: a great leap forward . . . or a leap in the dark? In the 25 year history of Programmable Logic, every year has seen significant movements in the business and in the technology, So far, 2009 has certainly been no exception. New 40/45nm FPGAs will allow nearly 5 million ASIC gates to be placed in a single device, running at hundreds of MHz and communicating simultaneously over dozens of fast IO serial channels. These are not your grand-pappy's FPGAs! What does this leap forward mean for designers and their tools? Can we continue to rely on the traditional RTL synthesis and P&R which have served us well for many years? For some, that may suffice; after all, when we transitioned from 90nm FPGAs to 65nm in 2006, didn't users similarly hold their breath and hope that existing tools methodology would suffice? However, hope is not a reliable strategy and we must avoid leaps in the dark. At Synplicity and now Synopsys, we prepared for the industry's communal dive to these new nodes by introducing new technologies including Physical Synthesis, High-Level Synthesis and In-chip Debug. Leading edge users already adopted these new techniques at 90nm and 65nm but this year's transition to 40/45nm is forcing these techniques further into the mainstream. This presentation will demonstrate the benefit of updating FPGA design methods and flows in order to avoid unpredictable and project-crashing problems in FPGA Design.</p>

<p>Synopsys / Synplicity Antti Innamaa</p>	<p>From Algorithm to Silicon using Symphony-HLS This presentation will give details of the recently introduced Symphony HLS (High Level Synthesis) solution that integrates M-language, IP and model-based synthesis which delivers up to 10X higher design and verification productivity than traditional RTL-based flows.</p> <p>About Symphony-HLS Symphony HLS allows designers to stay in their preferred algorithm modeling language, eliminating the need to re-code and re-verify models and enabling early system-level validation and verification. The Mathworks' MATLAB® environment has been broadly adopted for algorithm exploration and design because it allows concise expression of behavior at an extremely high level of abstraction. The M-language models developed in this environment are traditionally manually re-coded and re-verified at the RT Level and in some cases in C/C++ for implementation and verification. This recoding can be inefficient and error-prone so, Symphony HLS has been developed to create implementable RTL and C-models directly from the high-level M-language code and optionally, IP model libraries which are optimized for use within Symphony HLS.</p> <p>Using a unique constraint-driven fixed-point propagation feature, designers can quickly and intuitively derive fixed-point models from a synthesizable subset of high-level, floating-point M-code. The Symphony HLS engine will then synthesize architecturally optimized RTL to meet area, speed and power goals. Symphony HLS creates optimized RTL for ASIC and FPGA implementation, architecture exploration and rapid prototyping. In addition, Symphony HLS complements C/C++-based flows by generating C-models for system validation and early software development in virtual platforms.</p> <p>The presentation will deliver concise technical details of this product allowing attendees to quickly understand its usefulness for their next FPGA (or ASIC) project.</p>
<p>Tandberg Tore Fleten</p>	<p>Utfordringer med å ha direkte gjenbruk (felles source filer) på tvers av prosjekter. Hvordan TANDBERG med enkle og billige metoder, forsikrer seg at endringer på en module ikke ødelegger andre moduler. (strukturering av prosjekt, automatiske kode validering, source kode for gjenbruk)</p>
<p>Tandberg TBD</p>	<p>Dokumentering med doxygen Doxygen er shareware software for å autogenerere software dokumentasjon. Presentasjonen tar for seg hvilke muligheter man har med doxygen for automatisk generer dokumentasjon av vhdl kile filer</p>
<p>Tomra Atle Holter</p>	<p>Image data transfer using PCI Express. In the field of machine vision and identification technologies the use of image sensors is increasing. This leads to higher bandwidth requirements. This session will present a flexible multi-camera system using PCI Express for image data transfer to a PC. The system core is an FPGA evaluation board from HiTechGlobal based on a Xilinx Virtex-5 LX110T. LVDS is used as camera interface. The FPGA design and development process will be presented.</p>
<p>UiO Dirk Koch</p>	<p>Partial Runtime Reconfiguration for Industrial Applications – Methods and Tools Despite the fact that partial runtime reconfiguration allows to implement FPGA-based systems on smaller, and consequently, cheaper and less power hungry devices, this option has only being rarely used in industrial applications so far. This talk will give a survey on recent advances and future trends in building runtime reconfigurable systems. This includes possible applications and use cases, methodologies for high speed reconfiguration, and on-chip communication, as well as tools for implementing corresponding systems. Attendees will learn that present FPGA technology and novel design tools are well suited for exploiting the potential benefits of partial runtime reconfiguration in present and future systems. Besides designing runtime reconfigurable systems, this talk will also propose a component based design flow that is based on fully physically implemented modules. This flow is a promising option also for large static only designs with hundreds of thousands of LUTs.</p>
<p>Zylin Øyvind Harboe</p>	<p>Linux m/MMU på Altera Nios Gjennomgang og demonstrasjon av Linux m/MMU på Altera Nios. Sammenligning med alternativer som uClinux og eCos.</p>

Abstracts for undervisningssesjonen: Dag 1, Track 1, kl. 14:15

Dette blir 5 innlegg i rekkefølge som gitt under. Sesjonen avsluttes med spørsmål og debatt

Høgskolen i Gjøvik Knut Wold	Presentasjon av faget "Programmerbare Kretser" ved Høgskolen i Gjøvik På Høgskolen i Gjøvik (HiG) underviser vi faget "Programmerbare Kretser" som blant annet omhandler VHDL og FPGA. I denne presentasjonen går vi gjennom undervisningsopplegget for dette faget og forteller om våre erfaringer med kurset
NTNU Per Gunnar Kjeldsberg	I digitalteknikkundervisningen ved Institutt for elektronikk og telekommunikasjon, NTNU, har vi i mer enn ti år hatt et stort FPGA-basert labopplegg. Fordelt på to fag med litt ulikt opplegg har mer enn 350 studenter denne laben årlig. Gjennom flere oppgaver får studentene i det ene faget bygge opp et større lydbehandlingsystem. Foredraget vil beskrive innholdet og organiseringen av laben. Deretter vil det beskrives hvordan studenter med spesialisering innen krets- og systemdesign bruker dette grunnlaget innen FPGA i sin videre utdanning.
UiO Roar Skogstrøm	Presentasjonen vil gjennomgå undervisningsplan, labøvelser og pensum i kurset INF3430 Digital Systemkonstruksjon. Det vil også bli presentert planlagt innhold i et avansert videregående kurs som vil bygge på INF3430.
Jan Anders Mathisen (Xbit Design)	Betydningen av realistiske designoppgaver i tilknytning til undervisning i digitalteknikk og hvordan disse kan realiseres med FPGA-teknologi
Espen Tallaksen (Digitas)	Nyutdannede FPGA-designere har alt for lite kunnskap om risikofaktorer og kvalitetssikring ved utvikling av komplekse FPGA'er – rett og slett fordi dette ikke har fokus i utdanningsinstitusjonene. Hva mangler, hvorfor, og hvilke konsekvenser har dette.