



Det 4. FPGA-forum - det norske FPGA-miljøets møteplass

FPGA-forum og utstilling: onsdag 22. og torsdag 23. oktober

NB: Arrangementet er i år flyttet til Britannia Hotel (Trondheim)

FPGA-forum er den nye årlige møteplassen for FPGA-miljøet i Norge. Her samles utviklere, prosjektledere, forskere, siste års studenter og de største leverandørene på ett sted for 2 dagers praktisk fokus på FPGA.

Det blir foredrag fra norske bedrifter om utviklingsmetodikk og praktisk erfaring, universitetene presenterer nye og spennende prosjekter, og leverandørene stiller med aktuelle tekniske innlegg med et minimum av markedsføring. På utstillingen vil du kunne vurdere teknologi og verktøy fra de ledende leverandørene i Norge.

FPGA-forum byr i tillegg på en ypperlig anledning til å møtes og utveksle erfaring innenfor FPGA-miljøet i Norge - både i pausene og under det sosiale arrangementet på kvelden.

FPGA-forum Praktiske opplysninger!

FPGA-forum 2008s konferanseavgift er kr. 4.400,- + mva for Abelia medlemmer og deltagere fra universitet/høgskole, og kr 5900,- + mva for andre. Den inkluderer deltakelse, bankett, og lunsj. FPGA-interesserte studenter kan delta gratis på konferansen, men lunsj og bankett er ikke inkludert. (NB: Studenter må også melde seg på. Skriv "Student" i kommentarfelt)

Rekrutteringshjørnet kjøres videre som ifjor, der bedrifter kan sette opp en liten "stand" for rekruttering. Det er ingen ekstra kostnad forbundet med dette, men tilbudet gjelder kun registrerte deltagere. Beskjed må gis til Knut.Aune@Abelia.no innen 20. oktober.

Avgiften vil bli fakturert etter at arrangementet er avholdt.

Ved avbestilling etter påmeldingsfristen, eventuelt uteblivelse, må hele kursavgiften betales. Hvis ønskelig kan en annen deltaker møte i stedet.

Overnatting på konferansehotellet koster kr 1195,- pr enkeltrom inkl. MVA. Hver enkelt deltager må selv kontakte Britannia Hotel (Dronningens gate 5) på tlf. 73 80 08 00 for bestilling av rom.

Påmelding og informasjon: www.abelia.no > kalender

Følg med på linken over, samt under: www.digitas.no > FPGA-Forum for siste oppdatert info.

FPGA-forum 2008

22. - 23. oktober 2008 på Britannia Hotel, Trondheim

Program onsdag 22. oktober 2008 (NB: Se abstracts bakerst i programmet.) (Changed slots in red)

09.00	Registrering og kaffe. Knut Aune (Abelia)	
Sesjon 1	Track 0 , Sesjonsleder: Knut Aune, Abelia	
09.30	Keynote by Professor Wayne Luk, Imperial College, England Advances in Reconfigurable Computing	
10.25	Leverandørpresentasjoner	
11:10	Kaffepause	
Sesjon 2	Track 1 Sesjonsleder: Hans Jørgen Fosse, Flextronics	Track 2 Sesjonsleder: Kjetil Svarstad, NTNU
11.30	Utilizing active partial reconfiguration as an effective way of emulating a radiation environment by fault injection. <i>Ketil Røed, Universitetet i Bergen</i>	Customer Programmable Processing Platforms <i>Espen Bøch, Vmetro</i>
12.00	<i>Use of FPGA in MPSoCs with run-time resource manager</i> <i>Elena Hammari, NTNU</i>	Design og Verifikasjon med SystemVerilog - bedre enn VHDL ? <i>Atle Haga, Digitas</i>
12:30	<i>FPGA-based customisable multiprocessors: a case study</i> <i>Andreas Fidjeland, Imperial College, England</i>	<i>Improving productivity with Verification Management</i> <i>Mikael Andersson, Mentor & Dyrberg</i>
13.00	Lunsj og utstilling	
Sesjon 3a	Track 1 Sesjonsleder: Kjetil Svarstad, NTNU	Track 2 Sesjonsleder: Hans Jørgen Fosse, Flextronics
14:30	Partiell rekonfigurasjon - praktisk anvendelig eller bare akademisk interessant? <i>Jan Anders Mathisen, Silica (Xilinx)</i>	Metode for å beregne nødvendig avkobling til et FPGA design <i>Geir Drange WesternGeco</i>
15:00		High Level Synthesis Enables Power Exploration <i>Håkan Pettersson, Mentor & Dyrberg</i>
15:30	Structured Verification Environment using Verification Components <i>Arild Kjerstad, Ericsson</i>	<i>Ultra Low Power FPGA Solution from Actel</i> <i>Göran Rosen, Actel</i>
16.00	Kaffepause	
Sesjon 3b	Track 1 Sesjonsleder: Morten Hartmann, NTNU	Track 2 Sesjonsleder: Atle Haga, Digitas
16.30	Nominerte masteroppgaver <i>Se side 4 "Prisutdeling" for kandidater.</i>	ASIC Prototyping Drives FPGA Tool Advances <i>Antti Innamaa, Synopsys</i>
17.30	Slutt – faglige presentasjoner.	
19.00	Mottagelse i Lobby Lounge utenfor Speilsalen, Britannia Hotel	
19.30	Middag i Speilsalen, Britannia Hotell. - FPGA-prisen for "Beste masteroppgave innen FPGA-konstruksjon" deles ut. - Underholdning: Pium ("Studentersamfundets glade gutter") Pianobaren?	

FPGA-forum 2008

22. - 23. oktober 2008 på Britannia Hotel, Trondheim

Program torsdag 23. oktober 2008 (NB: Se abstracts bakerst i programmet.)

Sesjon 4	Track 1 Sesjonsleder: Arild Kjerstad, Ericsson	Track 2 Sesjonsleder: Espen Tallaksen, Digitas
09.00	Utvikling av invertert pendel og andre demonstratorar med mjuk prosessorkjerne for studentrekruttering. <i>Morten Tengesdal, Universitetet i Stavanger</i>	Using FPGAs for Image Processing in Multi-projector displays <i>Knut Krogstad, 3D perception</i>
09.30	Prototyping of large (multi-core) systems with several FPGAs <i>Jean-Christophe Glas, ARM</i>	Målefokus på Gb Tranceivers <i>Thomas Gøransson, Agilent (for 4Test)</i>
10.00	Implementasjon av rekonfigurerbar videokrets i FPGA <i>Arne Rogndalen, DataRespons</i>	Managing Requirements in your Design Flow <i>Håkan Pettersson, Mentor & Dyrberg</i>
10.30	Kaffepause	
Sesjon 5	Track 1. Sesjonsleder: Per Gunnar Kjeldsberg, NTNU	Track 2 Sesjonsleder: Ketil Røed, UiB
11.00	Make the hardware disappear <i>National Instruments</i>	Intern og delvis rekonfigurering på FPGA <i>Jim Tørresen, Universitetet i Oslo</i>
11.30	Using FPGA in Ultra Sound Camera: <i>Eskil Skoglund, DolphiScan</i>	LCD controllers and graphics in FPGAs <i>Nikolay Rognlien, Arrow Norway (Altera)</i>
12.00	Low Power Design Techniques with FPGA <i>Nikolay Rognlien, Arrow Norway (Altera)</i>	Signalbehandling med ekstreme rater i FPGA. <i>Helge Rustad, Sintef (for Kbg. Spacetec)</i>
12.30	Lunsj og utstilling	
Sesjon 6	Track 1 Sesjonsleder: Dag Kristian Rognlien, Sintef	Track 2 Sesjonsleder: Jim Tørresen, UiO
13.30	Automatisert test av FPGA <i>John Aasen, Ericsson</i>	7Circuits – I/O Synthesis for FPGA Board Design <i>Melek Mentis, GATEline AB</i>
14.00	Bugs & Problems; - Greatest Disasters through many interesting years. <i>Espen Tallaksen, Digitas</i>	Combining different FPGA IP for an Industrial Automation SoC <i>Jørgen Hansen, EBV</i>
14.30	Kaffepause	
Sesjon 7	Track 0 Sesjonsleder: Knut Aune, Abelia	
15.00	Utvikling lokalt eller globalt. Vil vi fortsatt ha behov for utvikling lokalt eller vil alt bli flyttet til Østen? <i>Kenneth Ragnvaldsen, CEO i DataRespons</i>	
15.45	Chipcon and Energy Micro -the story of two Norwegian semiconductor start-ups, one completed and one just started <i>Geir Færre, CEO i Energy Micro</i>	
16.30	Avslutning	
16.40	Slutt	

Utstillerliste:

- 4 Test AS www.4test.no
- Acal Norge (Actel) www.acal.no
- Arrow Norway (Altera) www.arrowne.com
- Avnet Silica (Xilinx) www.silica.no
- Digitas www.digitas.no
- Dyrberg Trading www.dyrberg.dk
- EBV ebv.com
- GATEline www.gateline.se
- Mentor Graphics www.mentor.com
- Mikrokrets www.mikrokrets.no
- Synopsys www.synopsys.com
- The Mathworks www.mathworks.com

Prisutdeling (under middagen):

FPGA-Forums pris gis til beste masteroppgave innen FPGA.

Pris-komiteen består i år av Morten Hartmann, NTNU og Hans Jørgen Fosse, Flextronics

De nominerte er:

- *Bjørn Forsman, NTNU*
"Time Management Unit (TMU) for Real-Time Systems"
- *Henning Nicolaisen, UiO*
"Tilpasning av et kommersielt tilgjengelig generisk sanntidssignalprosesseringssystem for anvendelse som høyoppløselig radar"

Program-komitèen for FPGA-forum:

- Arild Kjerstad, Ericsson
- Hans Jørgen Fosse, Flextronics
- Jan Anders Mathisen, Silica/Xilinx
- Jim Tørresen, Universitetet i Oslo
- Knut Aune, Abelia Innovasjon
- Espen Tallaksen, Digitas

Abstracts for presentasjoner ved FPGA-forum 2008
(Alfabetisk rekkefølge på firmanavn)

Firma, Navn	Tittel, Abstract
3D perception Knut Krogstad	Using FPGAs for Image Processing in Multi-projector displays 3D perception delivers projection systems to professional users in simulation, visualization, and process control applications. These systems are based on using multiple digital video projectors combined into a seamless image on curved or flat screens. The core technology is based on Xilinx FPGAs, implementing a number of real-time image processing functions. This includes combining images, real-time geometry distortion mapping, edge blending between multiple images, colour and gamma correction. A number of applications will be shown, as well as an introduction to the image processing challenges.
4Test	Se Agilent
Actel Göran Rosen	Ultra Low Power FPGA Solution from Actel Join this seminar to learn more about Actel's low power portfolio products. The Actel Low Power FPGA families of reprogrammable, full-featured flash FPGAs are designed to meet the demanding power, area, and cost requirements of today's portable electronics. This session will be a mixture of presentations and demos showing the dramatic difference of power consumption
Agilent (for 4Test) Thomas Gøransson	Målefokus på Gb Tranceivers Things to consider when designing Gigabit transceivers, with focus on measurements. Especially what can affect your measurement and how much when connecting measurement probes to your design. Signal integrity becomes important when clock rates goes up, and signal levels can be as low as 100mV. We will also cover some examples.
ARM Jean-Christophe Glas	Prototyping of large (multi-core) systems with several FPGAs As the new trend in processing is today to increase the number of cores (and therefore the amount of logic), new issues arise when it comes to prototype those systems. Is the FPGA technology still relevant? What are the main concerns and limitations? What are the solutions? We will try to answer these questions, when implementing such large systems in FPGA. This will be illustrated with the prototyping of the next generation graphics processor of ARM: the Mali-400 MP.
Arrow Norway (Altera) Nikolay Rognlien	Low Power Design Techniques with FPGA This session will discuss different ways to reduce power consumption both with standby/hibernation schemes and sw/hw partitioning.
Arrow Norway (Altera) Nikolay Rognlien	LCD controllers and graphics in FPGAs The most effective way a person can communicate with any device is through a well designed graphical user interface. The LCD market is very dynamic and technology is constantly improving, often resulting in different interface format requirements. In this presentation we will describe how FPGA devices can be use to implement a scalable and flexible LCD controller and give examples of architectures and products that can be used to accelerate the development process.

FPGA-forum 2008

22. - 23. oktober 2008 på Britannia Hotel, Trondheim

Atmel Ian Fullerton	<p>Transition from DC-FPGA to Precision RTL on a proven verilog database</p> <p>Atmel Norway AS is the home of AVR microcontrollers. The company's main goal is to become the largest and most recognized supplier of microcontrollers, world wide. FPGAs can be used to do ASIC prototyping of AVR devices under development. FPGA prototyping provides pre tape-out hardware verification and application software development. A FPGA synthesis flow has been developed for the AVR Xmega database, using DC-FPGA Synthesis tool from Synopsys. Due to DC-FPGA end-of-life that took affect Jan 1st 2008, no support or updates will be given for this tool in the future. A new vendor of FPGA Synthesis Tool is therefore required to keep the FPGA build up to date. Precision RTL from Mentor Graphics has been evaluated as an alternative to DC-FPGA. Several compile/elaborate related problem where reviled during this evaluation process. This work will cover the problems/challenges which occurred as regards to this specific synthesis tool transition.</p>
DataRespons Arne Rogndalen	<p>Implementasjon av rekonfigurerbar videokrets i FPGA</p> <p>Presentasjon av en avansert videokrets for en av Datarespons' kunder. Består av autonome prosesseringsblokker som lenkes sammen til prosesseringsstrømmer i SW. Hvordan lage en video streaming applikasjon med en minne-mappet arkitektur, og hvordan dette er optimalisert for Altera Stratix II. Ufordringer i design-, implementasjons- og test-fasen, og hvordan disse ble løst.</p>
DataRespons Kenneth Ragnvaldsen	<p>Avslutningsforedrag 1: Utvikling lokalt eller globalt.</p> <p>Vil vi fortsatt ha behov for utvikling lokalt eller vil alt bli flyttet til Østen? Er våre ingeniører konkurransedyktig i forhold til resten av verden?</p>
Digitas Atle Haga	<p>Design og Verifikasjon med SystemVerilog - bedre enn VHDL ?</p> <p>SystemVerilog som en ren utvidelse av Verilog 2005 byr på mange nye muligheter. Det er en massiv markedsføring av SystemVerilog for Verifikasjon, men hva betyr bruken av SystemVerilog i praksis for et prosjekt-team? Kan man gjøre dette i VHDL? Basert på vår erfaring - hva er forskjellene? Vi vil også sette litt fokus på hva dette kan bety for RTL design. Vi tar en titt på utvidelsene og sammenligner med hvordan man kan beskrive det i VHDL. Vi skal også se på hvordan noe så enkelt og elegant som "interfaces" kan bli så komplisert i bruk.</p>
Digitas Espen Tallaksen	<p>Bugs & Problems; - Greatest Disasters through many interesting years.</p> <p>As a consultant you see lots of different projects in many companies; - sometimes as a designer and sometimes as a coordinator or special support on implementation, verification, debug or review. This presentation will give an overview of the worst project and product consequences with respect to both bugs and delays. The worst sources of these bugs and delays will be presented, and some general remedies are proposed.</p>
DolphiScan Eskil Skoglund	<p>Using FPGA in Ultra Sound Camera:</p> <p>DolphiScan has developed a Low Cost Ultra Sound camera (LOCUS) for reading 2D Data Matrix Codes.</p> <p>This session will give a short demonstration of the LOCUS product and a system overview of the product design with emphasis on FPGA. LOCUS is based on a unique patented ultrasound transducer (a device acting as both speaker and microphone). Transmit electronics, controlled by FPGA, stimulates the transducer to send ultrasound-waves into a medium. The sound-waves are reflected and recorded by the FPGA through low noise receive electronics. The nature of the reflected pulse depends on the characteristics of the medium exposed by the transducer beam (physical shape, material type, coating, etc.) and the FPGA performs signal processing on the reflected pulse shapes and extracts information to generate a grey scaled live video image.</p>
Dyrberg & Mentor	Se Mentor & Dyrberg

FPGA-forum 2008

22. - 23. oktober 2008 på Britannia Hotel, Trondheim

<p>EBV Jørgen Hansen</p>	<p>Combining different FPGA IP for a Industrial Automation SoC The target of this session is to show the various IP offerings of our solutions partners and how these can be combined to a “System on a Chip“ which helps customers to implement complete automation devices on FPGAs: - IP solutions: - Motion IP - Industrial Ethernet IP - Encoder IP - PLC software on NIOS - Partners - Example: Ethercat Demo shown at SPS/IPC/Drives 2007</p>
<p>Energy Micro Geir Førre</p>	<p>Avslutningsforedrag 2: Chipcon and Energy Micro - the story of two Norwegian semiconductor start-ups, one completed and one just started. Chipcon made success and became market leader within short range wireless communication. Will Energy Micro succeed on its mission to make the world's most energy friendly microcontrollers?</p>
<p>Ericsson Arild Kjerstad</p>	<p>Structured Verification Environment using Verification Components Presentasjon av Ericsson sin verifikasjonsmetodikk for å lage strukturerte testbenker ved hjelp av verifikasjonskomponenter i VHDL. Introduksjon og erfaring fra et pågående prosjekt.</p>
<p>Ericsson John Aasen</p>	<p>Automatisert test av FPGA Manuell test av FPGAer på lab kan være en veldig tidkrevende prosess. Det kan medføre at vanlig test ikke har god nok dekningsgrad og at regresjonstest ikke blir kjørt. Her presenteres et skriptsystem som er brukt til å teste FPGAer. Skriptene styrer både både testinstrumenter og DUT . Skriptene kan brukes både til å automatisere vanlig test, slik at dekningsgraden blir bedre, og til å kjøre regresjonstest etter nye rutinger av FPGAene.</p>
<p>GATEline AB Melek Mentés</p>	<p>7Circuits – I/O Synthesis for FPGA Board Design Integrating FPGAs into a system-level design has always proved challenging. Reaching closure on pin assignments that are optimized for both the FPGA and the PCB has classically meant multiple iterations between the FPGA designers, the schematic engineers, and the PCB layout team, using loosely-coupled tools and home-grown ‘solutions’. This problem has only gotten worse over the past several years thanks to the emergence of thousand-plus-pin FPGAs. Throw a few of these into a system and you have an almost insurmountable design challenge that can seem impervious to convergence. 7Circuits can help you reach that convergence, and in a time frame that is impossible to achieve with other solutions. This session will be a mixture of presentation and demo showing the design tool 7Circuits.</p>
<p>Imperial College, UK Prof. Wayne Luk</p>	<p>Keynote: Advances in Reconfigurable Computing This talk describes recent advances in device architectures and tools for reconfigurable computing. The focus is on approaches for effective exploitation of parallelism and reconfigurability of field-programmable devices. Some promising research directions will be presented.</p>
<p>Imperial College, UK Andreas Fidjeland</p>	<p>FPGA-based customisable multiprocessors: a case study FPGA-based soft instruction processors can provide high performance compared with general-purpose processors for particular applications, by making use of a tailored instruction set and microarchitecture, and by exploiting parallelism at the multiprocessor level. We discuss some of the challenges and opportunities that arise in using soft processors, in the context of our soft multiprocessor system aimed at accelerating the execution of Inductive Logic Programming. This is a form of symbolic machine learning with many applications in bioinformatics. In addition to the domain-specialisation, the multiprocessor can further be customised to particular input data sets.</p>

FPGA-forum 2008

22. - 23. oktober 2008 på Britannia Hotel, Trondheim

Kongsberg Spacetec	(Se Sintef)
Mentor & Dyrberg Mikael Andersson	<p>Improving productivity with Verification Management</p> <p>To improve productivity and ensure data quality there are several questions that needs to be answered. What's been covered? What's not been covered? When am I done? Does the design do everything it's supposed to do? What is the impact of making a change? What tests best verify the change?</p> <p>Find out how Verification Management can help to provide the answers to the above questions.</p>
Mentor & Dyrberg Håkan Pettersson	<p>Managing Requirements in your Design Flow</p> <p>The ability to confidently trace and manage design requirements from specification through implementation is simply "good project management" for many design projects. Focus on tracking design implementation for HW requirement validation is becoming a preferred development practice for safety critical projects in medical, transportation, aerospace and military.</p>
Mentor & Dyrberg Håkan Pettersson	High Level Synthesis Enables Power Exploration
National Instruments	<p>Make the hardware disappear</p> <p>Replacing custom design with FPGA and Graphical Programming on an off the shelf platform. With the LabVIEW FPGA Module, you can create custom measurement and control hardware without low-level hardware description languages or board-level design. You can use this custom hardware for unique timing and triggering routines, ultrahigh-speed control, interfacing to digital protocols, digital signal processing (DSP), and many other applications requiring high-speed hardware reliability and tight determinism.</p>
NTNU Elena Hammari	<p>Use of FPGA in MPSoCs with run-time resource manager</p> <p>Modern multimedia applications are evolving into multiprocessor systems running scalable applications that are able to adapt their resource requests to the input load, characteristics of the hardware and required output quality. Energy-efficient utilization of a multimedia platform can be achieved by dynamically reallocating system resources. This work studies performance and energy trade-offs between different allocations of resources in a platform with two general-purpose processors, two digital signal processors and an FPGA. We explored a 3D scalable graphics application based on Wavelet Subdivision Surfaces (WSS) algorithm.</p> <p>Parts of the application were translated to a high-level hardware model in Simulink and implemented in FPGA using the System Generator tool for automatic HDL code generation and other Xilinx ISE 10.1 tools. The performance and energy consumption of the resulting hardware design where characterized in Simulink, ModelSim and XPower Analyzer and compared to the energy and performance figures when running the same parts on the processors.</p> <p>The obtained characterization data has been used by a Task Concurrency Manager to dynamically schedule the application tasks to the available system resources.</p>
Silica Jan Anders Mathisen	<p>Partiell rekonfigurasjon - praktisk anvendelig eller bare akademisk interessant?</p> <p>Siden introduksjonen av Virtex-familien har Xilinx tilbudt mekanismer for å rekonfigurere deler av en FPGA uten å forstyrre funksjonene til resten av kretsen. Kan dette brukes til noe praktisk i vanlige digitaldesign eller er det bare av akademisk interesse - "fordi det er teknisk mulig"?</p> <p>Presentasjonen gir en oversikt over teknologiske forutsetninger, metoder, muligheter og utfordringer og viser også utvalgte praktiske eksempler.</p>
Sintef (for Kbg. Spacetec) Helge Rustad	<p>Signalbehandling med ekstreme rater i FPGA.</p> <p>SINTEF har utviklet en satellitt-demodulator for Kongsberg Spacetec. Denne arbeider med en innkommende samplerate fra AD-konverter på 1,4 Giga-sampler/s og datarater opp til flere hundre Mbit/s. Med dette FPGA-designet som eksempel vil vi se på utfordringer og løsninger for implementasjon av filtre og andre signalbehandlings-elementer for meget høye datarater. Vi vil også se på løsninger som er brukt for testing av designet.</p>

FPGA-forum 2008

22. - 23. oktober 2008 på Britannia Hotel, Trondheim

<p>Synopsys Antti Innamaa</p>	<p>ASIC Prototyping Drives FPGA Tool Advances FPGAs have always been very useful for prototyping designs that could only be fully verified while running at full speed in the target environment. However, it often took longer than desirable to transform the ASIC design into an FPGA-mapped equivalent and to make it run at speed on a board. There were also issues in observing and understanding the behaviour of the design. This paper will relate recent progress made in the application of FPGA-based Prototyping for ASIC and SoC; solving the issues mentioned above. The paper includes . . .</p> <ul style="list-style-type: none"> • Advances in pre-made hardware, using the latest and largest FPGAs from Altera and Xilinx. • Source-Level Partitioning and incremental mapping of ASIC RTL into FPGA. • Automatic partitioning and I/O pin sharing. • On-board RTL Debug using TotalRecall and VCS simulator. • In-chip triggering and using Assertions (see diagram below). <p>Intended Audience: Many of these methods are transferable to mainstream FPGA design so the paper is presented for a general FPGA-knowledgeable technical audience, in addition to those running ASIC Prototype projects.</p>
<p>Universitetet i Bergen Ketil Røed</p>	<p>Utilizing active partial reconfiguration as an effective way of emulating a radiation environment by fault injection. If exposed to highly ionizing particles an SRAM based FPGA can experience errors in the configuration memory. These errors are called single event upsets. A single event upset may lead to a functional failure which has a measurable effect on the operation of the firmware. Before an FPGA can be used in a radiation a hazardous environment it has to be characterized for its radiation tolerance using accelerated beam tests. This can be a tedious and expensive process. Fault injection can be used as a method to emulate the accelerated beam. It can improve test methods and reduce the time and cost used for testing. Utilizing active partial reconfiguration, a feature offered by Xilinx FPGAs, it injects errors into the configuration memory. A system solution has been developed that uses active partial reconfiguration as a mitigation technique for an FPGA installed in one of the sub detectors at CERN. This presentation will show how the same solution can be used to test the effect of single event upsets by fault injection</p>
<p>Universitetet i Oslo Jim Tørresen</p>	<p>Intern og delvis rekonfigurering på FPGA En del av dagens tilgjengelige FPGA-er tilbyr muligheten for å internt rekonfigurere kretsens konfigurasjon. Dette skjer gjennom å endre en del av kretsens konfigurasjon (også kalt partiell rekonfigurasjon). Presentasjonen vil gjennomgå hvordan dette kan gjøres og våre egne erfaringer med slik implementasjon.</p>
<p>Universitetet i Stavanger Morten Tengedal</p>	<p>Utvikling av invertert pendel og andre demonstratorar med mjuk prosessorkjerne for studentrekruttering. Gjennom ein del år har ein i Norge som i den vestlege verda ellers, opplevd sviktande rekruttering til teknisk-naturvitskapelege studier. Det er difor ved mange undervisningsinstitusjonar som Universitetet i Stavanger (UiS) eit auka trykk på marknadsføring, og her kan demonstratorar vera til hjelp. Ein demonstrator er her eit system som er utvikla for å bli brukt som blikkfang ved marknadsføring eller brukt i praktisk undervisning på laboratoriet. Institutt for data- og elektroteknikk ved UiS har utvikla fleire slike. Desse har starta som studentprosjekt og er blitt vidareutvikla ved instituttet. Systemplattform har variert mykje over tid og mellom dei ulike demonstratorane. I 2005 standardiserte ein undervisninga i dei digitaltekniske emna på Xilinx-verktøy (ISE, EDK, SDK og System Generator). Dette har gitt ein meir fleksibel, maskinvareuavhengig og tidlaus plattform og såleis ei meir effektiv undervisning. Foredraget vil visa både bakgrunn for, oppbygging og bruk av demonstratorar. Hovudvekta blir lagt på ein invertert pendel, der ein mjuk MicroBlaze-basert mikrokontroller køyrer multivariable reguleringsalgoritmer for oppsving og balansering av ein pendel.</p>

FPGA-forum 2008

22. - 23. oktober 2008 på Britannia Hotel, Trondheim

Vmetro Espen Bøch	<p>Customer Programmable Processing Platforms</p> <p>Today's complex DSP processing systems utilize a combination of PowerPC and FPGA processing nodes. The challenge in utilizing these processing platforms to their full potential is to be able to move data efficiently between the nodes while maintaining simultaneous control and status paths between the CPU(s) and FPGAs. In many projects, defining and implementing these control and data paths is as complex as the actual processing algorithms running on the nodes. How can these challenges be met to provide an efficient processing platform where customers can focus on their key application and not on developing the infrastructure? VMETRO's FusionXF design kit allows customers to easily utilize PCI Express, Serial Rapid I/O, DDR2 SDRAM and QDR SRAM interfaces as well as Aurora and low latency parallel interfaces for their data planes in large FPGAs (up to Xilinx LX330T devices.) The control plane is fully supported by a plug-and-play software architecture for flexibility and resource optimization. This session explains what it is and how it's done.</p>
WesternGeco Geir Drange	<p>Metode for å beregne nødvendig avkobling til et FPGA design</p> <p>Det finnes mange myter om avkoblingskondensatorer, hvor mange man trenger, og hvor de skal plasseres. Faktum er at ikke bare kan man plassere dem akkurat hvor man vil, men man kan med enkle hjelpemidler som et excel-ark beregne både hvor mange kondensatorer og av hvilken verdi man trenger til et design. Denne prosessen inkluderer analyse av strømtrekk til designet og rippelkrav, beregning av antall og verdier på kondensatorer, samt verifikasjon av det ferdige kortet. Hele prosessen presenteres med eksempel fra et mixed-signal FPGA-kort.</p>
Xilinx	Se Silica