



## Det 3. FPGA-forum - det norske FPGA-miljøets møteplass

FPGA-forum og utstilling: onsdag 24. og torsdag 25. oktober

Scandic Hotel Prinsen, Trondheim

**FPGA-forum** er den nye årlige møteplassen for FPGA-miljøet i Norge. Her samles utviklere, prosjektledere, forskere, siste års studenter og de største leverandørene på ett sted for 2 dagers praktisk fokus på FPGA.

Det blir foredrag fra norske bedrifter om utviklingsmetodikk og praktisk erfaring, universitetene presenterer nye og spennende prosjekter, og leverandørene stiller med aktuelle tekniske innlegg med et minimum av markedsføring. På utstillingen vil du kunne vurdere teknologi og verktøy fra de ledende leverandørene i Norge.

**FPGA-forum** byr i tillegg på en ypperlig anledning til å møtes og utveksle erfaring innenfor FPGA-miljøet i Norge - både i pausene og under det sosiale arrangementet på kvelden.

### FPGA-forum Praktiske opplysninger!

*FPGA-forum 2007s konferanseavgift* er kr. 4.000,- + mva for Abelia Innovasjons medlemmer og deltagere fra universitet/høgskole, og kr 5500,- + mva for andre. Den inkluderer deltakelse, bankett, og lunsj. Studenter kan delta gratis på konferansen inkl. lunsj.

Avgiften vil bli fakturert etter at arrangementet er avholdt.

Ved avbestilling etter påmeldingsfristen, eventuelt uteblivelse, må hele kursavgiften betales. Hvis ønskelig kan en annen deltaker møte i stedet.

Overnatting på konferansehotellet koster kr 1025,- pr enkeltrom inkl. MVA. Det er reservert et begrenset antall rom på hotellet. Hver enkelt deltager må selv kontakte hotellet på tlf. 73 80 70 00 for bestilling av rom. **Oppgi referansen FPGA241007. ( Det er ingen flere rom igjen pr 17.10.2007)**

### Påmelding og informasjon: [www.abelia.no](http://www.abelia.no) > kalender

Følg med på linken over, samt under: [www.digitas.no](http://www.digitas.no) > FPGA-Forum 2007 for siste oppdatert info.

## FPGA-forum 2007

24. - 25. oktober 2007 på Scandic Prinsen Hotel, Trondheim

### Program onsdag 24. oktober 2007 (NB: Se abstracts bakerst i programmet.)

<b>09.00</b>	Registrering og kaffe. Knut Aune (Abelia)	
Sesjon 1	<b>Track 0</b> , Sesjonsleder: Knut Aune, Abelia	
<b>09.30</b>	<b>Keynote by Patrick Lysaght, Senior Director, Xilinx Research Labs</b> FPGAs: retrospective and future directions An attempt to capture some of the critical moments/events in the evolution of FPGAs before addressing the future challenges and possibilities.	
<b>10.15</b>	Leverandørpresentasjoner	
<b>11:00</b>	<b>Kaffepause</b>	
Sesjon 2	<b>Track 1</b> Sesjonsleder: Per Gunnar Kjeldsberg, NTNU	<b>Track 2</b> Sesjonsleder: Espen Tallaksen, Digitas
<b>11.30</b>	Introduction to Serial RapidIO <i>Nikolay Rognlien, Arrow/Altera</i>	Subversion – En innføring i versjons kontroll systemet <i>Tore Fleten, Tandberg</i>
<b>12.00</b>	Høynivåutvikling av modem for radiolinje i FPGA med Matlab, Xilinx System Generator og VHDL. <i>Per Kristian Remvik og Roar Skogstrøm, KDA Defence Communications</i>	Coverage-Driven Verification Scales Well for Large FPGAs. <i>Martine Chegaray, Synopsys</i>
<b>12:30</b>	In-circuit verifisering og validering av FPGA systemer <i>Bjørn Sveum, Nortelco Electronics AS</i>	3D-skjermer - fremtidens visualiserings medium <i>Tore Svortdal, Setred</i>
<b>13.00</b>	<b>Lunsj og utstilling</b>	
Sesjon 3	<b>Track 1</b> Sesjonsleder: Espen Tallaksen, Digitas	<b>Track 2</b> Sesjonsleder: Jim Tørresen, UiO
<b>14:30</b>	Metode og kodeteknikk for VHDL design som prosesserer en (multiplekset) datastrøm <i>Hans Strømsøyen, Mikrokrets</i>	Next generation ARM Industrial Standard processor for FPGA designs <i>Rouzbah Hosseinalikhani, ACTEL</i>
<b>15:00</b>	Effektiv gjenbruk av VHDL-kode <i>Arild Kjerstad, Ericsson</i>	
<b>15:30</b>	RSA-Kryptering. Semesteroppgave i emnet Realisering og Test ved NTNU. <i>Bjørn B. Larsen, NTNU,</i>	ASIC prototyping av store design i FPGA <i>Øystein Ellingsson, ARM Norway AS</i>
<b>16.00</b>	<b>Kaffepause</b>	
<b>16.30</b>	Tools: Keeping up with the FPGA Challenge <i>Synplicity</i>	Nominerte hovedfagoppgaver
<b>17.30</b>	<b>Slutt – faglige presentasjoner.</b>	
<b>19.00</b>	Mottagelse	
<b>19.30</b>	Middag i Speilsalen, Britannia Hotell. FPGA-prisen for "Beste hovedoppgave innen FPGA-konstruksjon" deles ut. Underholdning: Trønderoperaen Pianobaren?	

## FPGA-forum 2007

24. - 25. oktober 2007 på Scandic Prinsen Hotel, Trondheim

### Program torsdag 25. oktober 2007 (NB: Se abstracts bakerst i programmet.)

Sesjon 4	<b>Track 1</b> Sesjonsleder: Kjetil Svarstad, NTNU	<b>Track 2</b> Sesjonsleder: Hans Jørgen Fosse, Mikrokrets
09.00	Run-Time Reconfigurable Hardware <i>Jim Tørresen, UiO</i>	Programmerbar logikk – en HW eller SW disiplin? <i>Hans Christian Lønstad, DataRespons</i>
09.30		Customizable Advanced Processors <i>Atmel</i>
10.00	Choosing the right IP for PCIe – Soft IP or hardmacro? <i>Martin Gallezot, PLDA</i>	Debug and Productivity Techniques <i>Nikolay Rognlien, Arrow/Altera</i>
10.30	<b>Kaffepause</b>	
11.00	Tandberg's katalog struktur for HDL-kode <i>Tore Fleten, Tandberg</i>	SystemVerilog for Design and Verification <i>Mentor</i>
11.30	Development of complex FPGA applications require new design technologies <i>Jan Hedmann, The MathWorks</i>	FPGA debug using oscilloscope and logic analyzer <i>Thomas Gøransson, 4Test</i>
12.00	Høyhastighets minnekontrollere for Xilinx Virtex 5 LXT <i>Thomas Moen, VMETRO</i>	PowerExploration made possible by C/C++ Synthesis <i>Mentor</i>
12.30	<b>Lunsj og utstilling</b>	
Sesjon 5	<b>Track 1</b> Sesjonsleder: Kjetil Svarstad, NTNU	<b>Track 2</b> Sesjonsleder: Arild Kjerstad, Ericsson
13.30	On-chip evolution of pattern recognition hardware <i>Kyrre Glette, UiO</i>	µCLinux: History, Overview and Applications <i>Rune Bæverrud, Avnet Silica</i>
14.00	Application example (MicroTCA) with a Mixed-Signal FPGA. <i>Rouzbeh Hosseinalikhani, Actel</i>	VHDL is still the best language for FPGA verification. - Immediately followed by: How to implement a flexible, efficient and cost reducing VHDL testbench <i>Espen Tallaksen, Digitas</i>
14.30	Power analysis attacks against FPGAs <i>Knut Wold, Gjøvik University College</i>	
15.00	Kaffepause	
Sesjon 6	<b>Track 0</b> Sesjonsleder: Knut Aune, Abelia	
15.30	Selv-rekonfigurerende maskinvare <i>Kjetil Svarstad, NTNU</i>	
16.00	Gjenbruk av program- og maskinvare i kundetilpasset design <i>Truls Rasmussen, ADC</i>	
16.30	Avslutning	
16.40	Slutt	

**Utstillerliste:**

**4 Test AS**

[www.4test.no](http://www.4test.no)

**Acal Norge**

[www.acal.no](http://www.acal.no)

**Arrow Norway**

[www.arrowne.com](http://www.arrowne.com)

**Avnet Nortec**

[www.avnet.no](http://www.avnet.no)

**Digitas**

[www.digitas.no](http://www.digitas.no)

**Mentor Graphics**

[www.mentor.com](http://www.mentor.com)

**Mikrokrets**

[www.mikrokrets.no](http://www.mikrokrets.no)

**Nortelco AS**

[www.nortelco.no](http://www.nortelco.no)

**PLD Applications**

[www.plda.com](http://www.plda.com)

**Synopsys**

[www.synopsys.com](http://www.synopsys.com)

**The Mathworks**

[www.mathworks.com](http://www.mathworks.com)

### **Prisutdeling (under middagen):**

**FPGA-Forums** pris gis til beste hovedoppgave innen FPGA.

De nominerte er:

- Per Andreas Gulbrandsen, NTNU  
Rekonfigurerbar maskinvare som applikasjonsakselerator ved søk i DNA
- Elena Davydova Dikkanen, NTNU  
Accurate delay testing of FPGA interconnects by branched test path
- Eirik Kile, UiO  
Matriseinvertering på FPGA ved hjelp av QR-dekomponering

### **Program-komitèen for FPGA-forum:**

- Arild Kjerstad, Ericsson
- Hans Jørgen Fosse, Mikrokrets
- Jan Anders Mathisen, Silica/Xilinx
- Jim Tørresen, Universitetet i Oslo
- Knut Aune, Abelia Innovasjon
- Espen Tallaksen, Digitas

**Abstracts for presentasjoner ved FPGA-forum 2007**  
(Alfabetisk rekkefølge på firmanavn)

Firma, Navn	Tittel, Abstract
Actel, Hosseinalikhani, Rouzbeh	<p>Next generation ARM Industrial Standard processor for FPGA designs</p> <p>The ARM Cortex-M1 processor addresses the need for a high-quality, standard processor architecture for FPGA applications. Developers can standardize on a single architecture, supported by the largest eco-system in the industry, to reduce their hardware and software engineering costs</p> <p>The presentation will finish with a demo of the development flow for both HW and SW development and also Co-verification.</p>
Actel, Hosseinalikhani, Rouzbeh	<p>Application example (MicroTCA) with a Mixed-Signal FPGA.</p> <p>Actel Fusion mixed-signal FPGAs enable customers to improve MicroTCA system management implementations. Fusion integrates analog, embedded Flash memory, and lives at power-up FPGA fabric in a single chip. This integration reduces system cost and board space and provides the flexibility to support proprietary and standards-based system management.</p>
ADC Truls Rasmussen	<p>Gjenbruk av program- og maskinvare i kundetilpasset design</p> <p>ADC (lokalisert i vakre Os v/Bergen) har levert en rekke skreddersydde systemløsninger for samferdsel, industri og forsvar. En sentral suksessfaktor er utstrakt gjenbruk av maskinvare- og programvare-moduler. Presentasjonen beskriver veien fra idé til produkt</p>
ARM, Øystein Ellingsson	<p>ASIC prototyping av store design i FPGA</p>
Arrow/Altera Nikolay Rognlien	<p>Debug and Productivity Techniques</p> <p>As fpga designs grow larger and more complex, the need for efficient debug and verification grow even more. This session will discuss some of the techniques available to track down HW and SW problems and how to cut compilation times.</p>
Arrow/Altera Nikolay Rognlien	<p>Introduction to Serial RapidIO</p> <p>High End DSP and other ASSP devices now often features a Serial RapidIO interface. This session cover the basics of SRIO topology and features, and why it makes sense to implement this interface in an fpga.</p>
Atmel,	<p>Customizable Advanced Processors</p> <p>The presentation will show how you can develop a two chip system solution based on an industry standard FPGA and a member of the CAP family, with possibility to further integrate into a single chip using the MP block. It will also show the development flow, with examples of prototyping using the Altera Stratix present on the CAP9 development board.</p>

## FPGA-forum 2007

24. - 25. oktober 2007 på Scandic Prinsen Hotel, Trondheim

<p>Avnet Silica, Rune Bæverud</p>	<p>"<math>\mu</math>CLinux: History, Overview and Applications In a rather busy marketplace of embedded operating systems, <math>\mu</math>CLinux has found its niche as a capable and stable operating system being desired for many small applications. This presentation will explain the special features of <math>\mu</math>CLinux and how it can be utilized in common processor architectures. Some of the examples will demonstrate how to use <math>\mu</math>CLinux on an FPGA embedded Xilinx MicroBlaze processor.</p>
<p>DataRespons</p>	<p>Programmerbar logikk – en HW eller SW disiplin? Er skillet mellom programvare og maskinvare i ferd med å viskes ut og vil C-programmerere ta over utviklingen av firmware i fremtiden? Vil økende funksjonskompleksitet samt høy-hastighet signalering (analog/RF) i FPGA'en fysiske grensesnitt kreve en ny tilnærming til utviklingsprosessen? Foredraget berører på overordnet vis sentrale temaer innen utvikling av FPGA baserte løsninger.</p>
<p>Digitas, Espen Tallaksen</p>	<p>VHDL is still the best language for FPGA verification For most companies in Europe, VHDL is by far the best language for FPGA verification. There is so much talk about SystemVerilog, SystemC, etc, and you only seem to hear about the advantages of using these languages compared to the "old and useless" VHDL. It is a bit like comparing a car to an airplane. The airplane is newer and seemingly far more efficient for traveling long distances. The car on the other hand, is extremely efficient for reaching a huge majority of your destinations. It is far easier to handle - with little need for further complex education, - and the price is a fraction of the airplane. However - you should not get stuck in first gear. This presentation will explain why VHDL is still the best FPGA verification language for most companies currently using VHDL as their design language. The presentation will also show how to use VHDL to build a structured testbench environment similar to the AVM and VMM methodologies. Finally the presentation will explain why this approach is the best first step for a future transfer to SystemVerilog. How to implement a flexible, efficient and cost reducing VHDL Testbench. This presentation is a follow-up on "VHDL is still the best....", and will take a closer look at the implementation of an efficient testbench environment. Important issues to consider when making a structured testbench, will be explained. Most of these issues are language independent, but this presentation will explain how to implement your structured testbench in VHDL.</p>
<p>Ericsson Arild Kjerstad</p>	<p>Effektiv gjenbruk av VHDL-kode Utviklingsenheten i Ericsson AS samarbeider med 3 andre designsentere lokalisert i Sverige, Italia og Tyskland innenfor sitt produktområde (MicroWave). Vi leverer gjenbrukbare VHDL-moduler (design) og løsninger innenfor områdene PCI, TDM og Point-to-Point (High-speed serial links) til de andre designsenterene. Innenfor de tre nevnte områdene skal vi levere 5-10 ulike adaptasjoner av våre moduler med ulike egenskaper årlig. Strategien for gjenbruk inkludert katalogstruktur og konfigurasjonskontroll blir presentert</p>
<p>Gjøvik University College, Knut Wold</p>	<p>Power analysis attacks against FPGAs Secure implementations are today more and more often done in FPGAs instead of ASICs. One attack against these implementations is to measure the power consumption while the FPGA is performing cryptographic algorithms. By doing a statistical analysis of the power traces it is possible to reveal the secret key. What is power analysis attacks? How is a power analysis attack performed on an FPGA? How to protect the FPGA against these attacks?</p>

## FPGA-forum 2007

24. - 25. oktober 2007 på Scandic Prinsen Hotel, Trondheim

<p>KDA Defence Communications Per Kristian Remvik og Roar Skogstrøm,</p>	<p>Høynivåutvikling av modem for radiolinje i FPGA med Matlab, Xilinx System Generator og VHDL. Presentasjonen vil først gjennomgå utvikling av digitalt modem i FPGA for sender og mottager til en ny Radiolinje ved hjelp av Matlab og Xilinx System Generator. Deretter vil integrasjon av de genererte modulene i et helt system hvor grensesnitt modulene er utviklet i VHDL bli gjennomgått. Det vil bli lagt vekt på våre praktiske erfaringer med metodikken og verktøyet.</p>
<p>The MathWorks Jan Hedmann</p>	<p>Development of complex FPGA applications require new design technologies Developers of FPGA applications are facing an increasing demand for more complex and powerful products that need to be developed in very short time frames. Some industry watchers have predicted an upcoming "productivity crisis" for the realization of ASICs, programmable logic, or software. In this talk we are going to show a traditional design-flow mostly based on a lower abstraction level and compare it with new modern technologies based on a high abstraction level. We will show how this new technology can speed up your development and how you can integrate different kinds of legacy code.</p>
<p>Mentor</p>	<p>SystemVerilog for Design and Verification With SystemVerilog you get language constructs that makes the tool verify that what you describe is really what gets built. Also one of the more powerful constructs is the interface concept, where you define the interface one place and then reuse the same interface wherever it is being used. This makes it easier connecting things up, since all you need to remember is to include the interface and all signals are there. But Systemverilog is also meant for verification and one of the things you as a RTL designer can do is to insert assertions that tests the behavior of your design. This is a very good starting point for the verification teams later on since they can use those assertions to test the functionality in the design. By adding coverpoints they get numerical data that show that the functionality in the design has been tested. With SystemVerilog you can also create reusable constrained random testbenches that tests those hard to test corner cases and finds those last bugs.</p>
<p>Mentor</p>	<p>PowerExploration made possible by C/C++ Synthesis Doing Powerexploration over multiple architectures is most often something you don't have time to do during a normal project. By utilizing the power of architectural neutral C++ descriptions and algorithm synthesis you are now able to test multiple implementations. You can very easily do a parallel or serial implementation or any number of permutations in between that still meets the requirements and easily get power numbers for these implementations. Since the C++ source is architectural independent it is also possible to test different FPGA technologies against each other and pick the one that suits your need, whether it is performance (area / speed) or power efficiency.</p>



## FPGA-forum 2007

24. - 25. oktober 2007 på Scandic Prinsen Hotel, Trondheim

<p>Mikrokrets, Hans Strømsøyen</p>	<p>Metode og kodeteknikk for VHDL design som prosesserer en (multiplekset) datastrøm Ganske ofte og med god grunn har fpga ingeniører fokus på - den ene siden det siste i FPGA arkitektur og teknologi og på den andre siden de siste og mest omtalte verktøy. Dette foredraget setter fokus på hvordan VHDL språket selv kan utnyttes for effektiv konstruksjon. Foredraget beskriver metode og kodeteknikk for effektiv VHDL konstruksjon og kodeskriving. Målet er å skrive bedre kode med henblikk på initielt å innføre lite feil, kode som er lettere å granske, lettere å simulere og lettere å vedlikeholde. Metoden som omtales går ut på å gi konstruksjonen en god struktur samt å følge gitte koderegler. Basalt for metoden er også å gi hvert signal en sti og et navn som tydelig forteller leseren hvor signalet hører til og hva det brukes til. Konstruksjon for uavhengighet i forhold til målkrets, skalerbarhet og gjenbrukbarhet passer godt inn i dette bildet. Hvordan kan dette, ved hovedsakelig å benytte en teksteditor, gjøres?</p>
<p>Nortelco Electronics AS, Bjørn Sveum.</p>	<p>In-circuit verifisering og validering av FPGA systemer Den store veksten i design størrelse og kompleksitet gjør at prosessen med å verifisere FPGA systemer blir en kritisk flaskehals. Begrenset tilgang til interne signaler, avanserte FPGA innpakninger og elektrisk støy på kretskortet er faktorer som ofte bidrar til å gjøre feilsøking og verifikasjon den vanskeligste fasen i designsyklusen. Man kan fort bruke 50% av design-tiden på å feilsøke og verifisere designet. Ved å velge riktig in-circuit feilsøkingsmetodikk (innbakt logikkanalysator eller ekstern logikkanalysator) vil man kunne redusere feilsøkingstiden. Denne presentasjonen beskriver hvordan man kan velge mest hensiktsmessig metodikk basert på dine design-faktorer. Vi vil også belyse noen nye vinklinger ved bruk av metoden med ekstern logikkanalysator som ytterligere kan redusere test-tiden ved å hurtig endre FPGA probepunktene uten å måtte recompile designet og ved å monitorere flere interne signaler per pinne.</p>
<p>NTNU, Bjørn B. Larsen</p>	<p>RSA-KRYPTERING. Semesteroppgave i emnet REALISERING OG TEST ved NTNU.</p>
<p>NTNU, Kjetil Svarstad</p>	<p>Selv-rekonfigurerende maskinvare Rekonfigurerbar maskinvare i form av FPGA eller lignende er teknologi som brukes mest til å erstatte hva man tidligere brukte ASIC eller større mengder COTS til å realisere, og det er mange gode grunner til det. I tillegg er en del bedrifter begynt å bruke FPGA'er med dynamisk utskiftbare konfigurasjoner for å tilpasse seg skiftende ytelseskrav og dermed kunne erstatte både konvensjonell maskinvare og programvare. Ved NTNU har vi en aktivitet hvor vi ekstrapolere disse teknikkene ved å la FPGA-utstyrte små tjenere tilby rekonfigurerings-tjenester per trådløst nett for lette klienter som PDA'er eller mobiltelefoner. Og for riktig å ekstrapolere, så har vi begynt å eksperimentere med selv-rekonfigurerende maskinvare, FPGA'er med prosessor og kjørende operativsystem som selv manipulerer med maskinvare-ressursene ombord, flytter dem rundt for å gjøre plass til nye moduler, og selv plasserer nye moduler inn. Foredraget vil presentere våre idéer og eksperimenter, hva vi har fått til, og hva vi håper å få til.</p>

## FPGA-forum 2007

24. - 25. oktober 2007 på Scandic Prinsen Hotel, Trondheim

<p>PLDA, Kate Martin</p>	<p>Choosing the right IP for PCIe - SoftIP or hardmacro ?          Selecting the right IP for PCIe is becoming a rather complicated decision in today's semiconductor market with an ever increasing choice of technologies and licensing possibilities, particularly if migration from FPGA to ASIC is foreseen. With the introduction of HardIP solutions for the PCIe market engineers have a new option to consider. When comparing third-party IP offerings it is important to successfully weigh up the pros and cons of performance and size, flexibility and portability; not to mention the financial aspects, the maturity of the product and the IP vendor itself. In this presentation we will look at the various factors of importance in making the right choice between a Hard macro, a fpga vendor-specific Soft IP or a silicon-agnostic Soft IP.</p>
<p>Setred, Tore Svortdal</p>	<p>3D-skjermer - fremtidens visualiserings medium          Setred has developed a novel time-multiplexed holoform 3D display using a high frame rate DLP projector that operates in conjunction with a custom built LCD barrier. Due to the time-multiplexed nature of the system there is no loss of geometrical resolution and the high density of perspectives shown on the display allows user to experience stereoscopic viewing from any viewing location. The large amount of data required for high quality 3D poses several engineering challenges and requires the use of advanced electronic components and complex system design.</p>
<p>Synplicity</p>	<p>Tools: Keeping up with the FPGA Challenge          The ability to design, debug and iterate quickly has brought massive benefit to FPGA designers and led to the obvious success of FPGA Technology in almost every part of Electronics design today.          With FPGAs ever-expanding capability comes new challenges to maintain that prime benefit of quick design, debug and iteration. This presentation, Synplicity will tell of the recent tool developments which dramatically improve results and timing closure (Synplify Premier), bring a uniquely powerful on-board debug (Identify Pro) and provide unprecedented productivity for ASIC conversion to FPGA (Certify).          Finally, we will provide development news from Synplicity's Hardware Platforms group (formerly Hardi Electronics).</p>
<p>Synopsys, Martine Chegaray</p>	<p>Coverage-Driven Verification Scales Well for Large FPGAs.          With FPGAs becoming larger and more complex, there is more code and functionality to verify. This could be done while testing the FPGA on the board, but is this the most efficient way?          Coverage-driven verification is a methodology that scales well with the ever increasing size and complexity of FPGA designs.</p>
<p>Tandberg, Tore Fleten</p>	<p>Subversion – En innføring i versjons kontroll systemet          Sette opp et lokalt repository for Subversion under Windows          Enkel/normal bruk av Subversion          TortoiseSVN – grafisk grensesnitt mot Subversion</p>
<p>Tandberg, Tore Fleten</p>	<p>Tandberg's katalog struktur for HDL-kode          Gjenbruk          Bygge system          Versjons kontroll</p>

## FPGA-forum 2007

24. - 25. oktober 2007 på Scandic Prinsen Hotel, Trondheim

UiO, Jim Tørresen	<p>Run-Time Reconfigurable Hardware</p> <p>Swapping of software processes at run-time has been common for a long time. However, it has not yet been very common having hardware being dynamic and adaptable at run-time. With the recent progress in reconfigurable technology (typically FPGAs), systems applying run-time reconfiguration has started to appear. This tutorial will give an introduction to run-time reconfiguration of hardware and present what is state-of-the-art today.</p>
UiO, Kyrre Glette	<p>On-chip evolution of pattern recognition hardware</p> <p>Online incremental evolution for a high-speed pattern recognition architecture has been implemented on a Xilinx Virtex-II Pro FPGA. The fitness evaluation module is entirely hardware-based in order to increase the speed of the circuit evaluation which uses a large training set. The rest of the genetic algorithm (GA) runs in software on a PowerPC 405 processor core on the FPGA in order to allow for flexibility. Compared to an earlier offline evolvable hardware (EHW) pattern recognition approach, the proposed architecture is advantageous in its suitability for online adaptation, while a very high recognition speed is maintained. With its support for virtual run-time reconfiguration, the architecture is suitable for implementation in an on-chip evolution system. Incremental evolution is applied, which shortens evolution time and allows for the evolution of a larger system. The use of incremental evolution also has the advantage of reducing the size of the evolution hardware in an on-chip evolution system. Variations in architecture parameters are explored, and it is found that the size of the system can be reduced at the cost of longer evolution time or lower recognition accuracy. The architecture is applied to face image recognition and sonar return classification tasks, with results better than previously proposed offline EHW architectures.</p>
Vmetro, Thomas Moen	<p>Høyhastighets minnekontrollere for Xilinx Virtex 5 LXT</p> <p>Vår seneste analysator for PCI-express-segmenter hadde behov for en båndbredde mot RAM på 17 GB pr sekund. Fire MicroDIMM moduler danner to minnebanker, hver med 128 bits bredde, som kjører på 266 MHz DDR2. Vi vil fortelle hvordan gigabit-tranceiverene, ISERDES og OSERDES komponentene i Virtex 5 LX110T ble nøkkelen til dette produktet. Ved å spisse minnekontrolleren mot vår applikasjon med sammenhengende datastrømmer kunne vi redusere ressursforbruket og halvvere den interne klokkefrekvensen til 133 MHz. Vi vil også fortelle litt om en 64 bits, 266 MHz, MicroDIMM-kontrollerer vi laget med Xilinx sin Memory Interface Generator (MIG). Til slutt vil vi se på fordeler og ulemper med bruk av MIG opp mot utvikling av egen minnekontroller.</p>