



# DAK-forum2005

# FPGA-forum 2005

Det 20. Allmenne Konstruksjonsforum for elektronikk, og  
Det 1. FPGA-forum - det norske FPGA-miljøets møteplass

Tutorial Dag: tirsdag 25. oktober  
DAK-forum/FPGA-forum: onsdag 26. og torsdag 27. oktober  
Utstilling: 26-27. oktober  
Scandic Hotel Prinsen, Trondheim

## DAK-forum feirer 20 år

**DAK-forum** er et tilbud innen konstruksjon av elektronikk. Det henvender seg til konstruktører og ledere av utviklingsprosjekter. **DAK-forum** tilbyr både tutorials om aktuelle emner, foredrag om metodikk, verktøy, komponenter og tilgjengelig teknologi.

**DAK-forum** er også en viktig møteplass for DAK leverandører og deres brukere.

**DAK-forum** ble etablert i 1985 for å formidle nyheter innen Datamaskin-Assistert Konstruksjon av elektronikk. Innholdsmessig svarer **DAK-forum** nå bedre til "Det Allmenne Konstruksjonsforum".

## DAK-forum passer for

konstruktører med ansvar for elektronikkonstruksjon, produksjon og test,  
samt for beslutningstakere i bedrifter som anskaffer DAK-utstyr.

## FPGA-forum for første gang i år.

**FPGA-forum** er den nye årlige møteplassen for FPGA-miljøet i Norge. Her samles utviklere, prosjektledere og de største leverandørene på ett sted for 2 dagers praktisk fokus på FPGA.

Det blir foredrag fra norske bedrifter om utviklingsmetodikk og praktisk erfaring, og leverandørene stiller med aktuelle tekniske innlegg med et minimum av markedsføring. På utstillingen vil du kunne vurdere teknologi og verktøy fra bl.a. Actel, Altera, Xilinx, Mentor Graphics, Mathworks.

**FPGA-forum** byr i tillegg på en ypperlig anledning til å møte og utveksle erfaring innenfor FPGA-miljøet i Norge - både i pausene og under det sosiale arrangementet på kvelden.

**DAK-forum/FPGA-forum Praktiske opplysninger!**

**Tutorialavgiften** er kr. 2.500,- + mva for Abelia Innovasjons medlemmer, kr 2.000,- + mva for Universitet/Høgskole og kr 3.000,- + mva for andre. Den inkluderer deltakelse, lunsj og dokumentasjon. Ved deltagelse på DAK-forum/FPGA-forum reduseres tutorial avgiften med 50 %.

**DAK-forum/FPGA-forum 2005 konferanseavgift** er kr. 3.800,- + mva for Abelia Innovasjons medlemmer, kr 3.200,- + mva for Universitet/Høgskole og kr 5000,- + mva for andre. Den inkluderer deltakelse, bankett, og lunsj.

Avgiften vil bli fakturert etter at arrangementet er avholdt.

Ved avbestilling etter påmeldingsfristen, eventuelt uteblivelse, må hele kursavgiften betales. Hvis ønskelig kan en annen deltaker møte i stedet.

**Overnatting** på konferansehotellet koster kr 945,- pr enkeltrom. Sekretariatet kan ikke garantere rom etter at påmeldingsfristen er gått ut.

**Billetter til UKA05 er tilgjengelige. Se registreringskjemaet for bestilling.**

## **Tutorial program**

**Tirsdag 25. oktober 2005**

### **1. Virtual prototyping design techniques for System on Chip**

*Andrew Brown  
Department of Electronics and Computer Science  
University of Southampton, SO17 1BJ, UK.*

(Se [abstracts](#) bakerst)

**Program onsdag 26. oktober 2005 - formiddag**

Kl. 09.30	Registrering og kaffe
<b>Sesjon 1: Åpningssesjon</b> Sesjonsleder: <i>Einar J. Aas, NTNU</i>	
Kl. 10.00	Velkommen til DAK-forum 2005
Kl. 10.15	<p><b>Keynote: 20 YEARS OF DESIGN VERIFICATION. MILESTONES, and STATE-OF-THE-ART.</b>  <b>WHERE ARE WE HEADING?</b> <i>Wolfgang Kunz</i>, Kaiserslautern Tekniske Universitet</p> <p>Design verification has become a limiting factor when attempting to increase productivity in the microelectronic industry. This keynote reviews milestones of verification methodology and puts them into perspective with current and future challenges. The keynote will focus on formal verification techniques. It discusses both promises and pitfalls of this emerging technology. Will simulation continue to prevail in FPGA-based flows, or will formal techniques be able to cover new ground? The keynote points out the main challenges along with the potential innovations related to formal verification techniques for System-on-Chip design as well as for FPGA-based flows.</p> <p><i>Wolfgang Kunz received his doctoral degree in 1992 from University of Hannover, Germany. Since 2001 he is a professor of Electrical Engineering at the University of Kaiserslautern and is currently Dean of the department of Electrical &amp; Computer Engineering.</i></p> <p><i>Wolfgang Kunz has been one of the main pioneers in formal design verification paving the way towards industry-strength methodologies. He has held adjoint positions with EDA industry and has been engaged in several R&amp;D collaborations with major EDA vendors as well as start-up companies. For his contributions to the area of formal hardware verification Wolfgang Kunz has received several awards.</i></p>
Kl. 11.00	Kort pause
Kl. 11.15	<p><b>Invitert: Presentation of the SW/HW Magic “Field Programmable Gate Arrays Chip”,</b>  <i>Lennart Lindh</i>, Mälardalens högskola</p> <p>The motivation for this talk is the last 4 years' tremendous developments with tools and chip technology for Field Programmable Gate Arrays (FPGAs). FPGAs represent a leap forward in digital design opportunities. The biggest difference between ASICs and FPGAs is the flexibility; the FPGA can be reconfigured in milliseconds. The inherent parallelism in these devices introduces new design challenges and trade-offs. One of many promises is to use standard and custom hardware components to build a complete HW/SW system on a single chip. All hardware components are executed with massive parallelism as opposed to software implementations.</p> <p><i>Lennart Lindh har arbeidet med metodik, komponenter, utviklingsverktøy, utdanning, forskning og strategisk analys innen FPGA-området sedan 1989. Han har arbeidet mot foretak og høyskoler i hele verden og har arrangert både industrielle og akademiske konferenser. Han har også forfattet bøcker innen områdene VHDL, realtidssystem og HW/SW-system. Tiden delas mellom Mälardalens högskola og foretaket RealFast som kanskje mest er kjent for en FPGA-komponent som er en realtidoperativsystems-accelerator. <a href="http://www.idt.mdh.se/~llh/">www.idt.mdh.se/~llh/</a></i></p>
Kl. 12.00	Leverandørpresentasjoner. <i>Martin Viktil, SINTEF</i>
Kl. 13.00	Lunsj og utstilling

## DAK-forum 2005 og FPGA-forum 2005

25. - 27. oktober 2005 på Scandic Prinsen Hotel, Trondheim

### Program onsdag 26. oktober 2005 - ettermiddag

Parallellsesjoner:			
	Sesjon 2: Innvevde systemer Sesjonsleder: <i>Eli Skyberg, SINTEF</i>	Sesjon 3: Analog/Mixed Signal Sesjonsleder: <i>Trond Ytterdal, NTNU</i> (Se <a href="#">abstracts</a> bakerst)	Sesjon 4: FPGA-spor 1 Sesjonsleder: <i>Espen Tallaksen, Digitas</i> (Se <a href="#">abstracts</a> bakerst)
Kl. 14.30	Hvordan rekke UML-toget, Embla erfaringer fra ABB CR <i>Folker den Braber, SINTEF</i>	Nanoelektronikk, <i>Thomas Tybell, NTNU</i>	WLAN i SIM-kort - ekstremdesign ved bruk av CPLD-teknologi i "bare die"-formfaktor <i>Atle Sægrov, Radionor</i>
Kl. 15.10	Smartere batterier med AVR, <i>Gunnar Gangstø, Atmel</i>	Emerging Trends in A/D Converters for Software Defined Radio, <i>Johnny Bjørnsen, Nordic</i>	Security issues to consider when using FPGAs <i>Graham Baker, Actel</i>
Kl. 15.50	Kaffepause		
Kl. 16.20	Oversikt over RTOS for innvevde systemer, <i>Geir Mathisen, SINTEF</i>	Utfordringer innen mixed-signal design for CMOS enbrikke kameraer, <i>Trygve Willassen, Micron</i>	Feilretting og verifisering av FPGA <i>Hans Jørgen Fosse, Mikrokrets</i>
Kl. 17.00	Rapid HW Creation Using C Synthesis, <i>Lars Gustafsson, MENTOR Graphics</i>	Laveffekt IC design for måle- og monitoreringsfunksjoner i AVR mikrokontrollere, <i>Are Hellandsvik, Atmel</i>	What's the challenge when the technology of FPGA goes to 90nm? <i>Ola Wall, Synplicity</i>
Kl. 17.40	Slutt - faglige presentasjoner.		
Kl. 19.00	Mottagelse		
Kl. 19.30	Middag i Speilsalen, Britannia Hotell. Elektronikkprisen for "Beste hovedoppgave innen mikroelektronikk-konstruksjon" deles ut.  Underholdning: Trønderoperaen		

## DAK-forum 2005 og FPGA-forum 2005

25. - 27. oktober 2005 på Scandic Prinsen Hotel, Trondheim

### Program torsdag 27. oktober 2005

Parallellsesjoner:			
	<b>Sesjon 5: Verifisering og test.</b> Sesjonsleder: <i>Sverre Wichlund, Nordic Semiconductor</i>	<b>Sesjon 6: Trådløst</b> Sesjonsleder: <i>Per Torstein Røine, Chipcon</i>	<b>Sesjon 7: FPGA-spor 2</b> Sesjonsleder: <i>Håkon Lislebø, Ericsson</i> (Se <a href="#">abstracts</a> bakerst)
Kl. 09.00	<b>High-level Verification Using the Reference Verification Methodology for Testbenches &amp; Formal Property Checking,</b> <i>Gøran Larsson, Synopsys</i>	<b>Ultra laveffekt impuls radio - UWB-IR,</b> <i>Tor Sverre Lande, Institutt for informatikk, UiO</i>	<b>CPU innbakt i FPGA - Muligheter og utfordringer</b> <i>Nicolay Rognlien, Arrow</i>
Kl. 09.40	<b>Assertion-Based Verification improves your verification productivity,</b> <i>NN, Mentor Graphics</i>	<b>RFID for et trådløst nettverkssamfunn,</b> <i>Bård Myhre, SINTEF IKT</i>	<b>Er "reconfigurable computing" klar for kommersiell anvendelse?</b> <i>Jim Tørresen, UiO</i>
Kl. 10.20	Kaffepause		
Kl. 10.50	<b>Scan test response komprimering on-chip,</b> <i>Sverre Wichlund</i>	<b>CC2430: Verdens første Zigbee System-On-Chip,</b> <i>Per Torstein Røine, Chipcon</i>	<b>Embedded processing i FPGA - et nytt design paradigme</b> <i>Jan Anders Mathisen, Xilinx</i>
Kl. 11.30	<b>Moderne produksjonstest og utfordringer,</b> <i>Ebbe Rømcke, Nordic Semiconductors</i>	<b>Why ZigBee™ is not the right choice for proprietary networks,</b> <i>Frank Karlsen, Nordic Semiconductors</i>	<b>Keynote fra FPGAworld 2005: - Efficient Reuse Methodologies and Impacts</b> <i>Espen Tallaksen, Digitas</i>
Kl. 12.10	Lunsj og utstilling		
	<b>Sesjon 8: Cases</b> Sesjonsleder: <i>Einar J. Aas, NTNU</i>	<b>Sesjon 9: FPGA-spor 3</b> Sesjonsleder: <i>Espen Tallaksen, Digitas</i> (Se <a href="#">abstracts</a> bakerst)	
Kl. 13.20	<b>RFID: Technology, Applications Areas and Evolution,</b> <i>Sebastian Taylor, IBM Wireless Solutions</i>	<b>Model-Based Design of Embedded Signal Processing Systems with Simulink,</b> <i>Fredrik Rodin, The MathWorks</i>	
Kl. 13.50	<b>Utvikling av en KVADRERER-ASIC,</b> <i>Martin Viktil, SINTEF</i>	<b>High Speed Differential transceivers in FPGA</b> <i>Bob Blake, Altera</i>	
Kl. 14.20	<b>Design for gjenbruk i Noca,</b> <i>Jan Egil Ruud, NOCA</i>	<b>The clock-domain crossing (CDC) Verification Challenge</b> <i>Mikael Andersson, Mentor Graphics</i>	
Kl. 14.50	Kaffepause		
	<b>Sesjon 10: Vi løfter blikket.</b> Sesjonsleder: <i>Øystein Ra, Høgskolen i Buskerud</i>		
Kl. 15.10	<b>12 år senere: erfaringer fra innføring av VHDL RTL. Gjensyn med foredrag på DAK-forum 1993,</b>		<i>Eli Skyberg, SINTEF</i>
Kl. 15.40	<b>Insourcing - elektronikkproduksjon i Norge,</b>	<i>Jørn Eriksen, Projectiondesign</i>	
Kl. 16.10	<b>Artemis-plattformen for Embedded Systems,</b>	<i>Hans Christian Haugli, Telenor FoU</i>	
Kl. 16.40	Avslutning		
Kl. 16.45	Slutt		

## Utstilling 26. - 27. oktober 2005

Mentor Graphics (Scandinavia) AB  
[www.mentor.com](http://www.mentor.com)

Arrow Norway AS (Altera)  
[www.arrowne.com/](http://www.arrowne.com/)

Mikrokrets  
[www.mikrokrets.no](http://www.mikrokrets.no)

Synopsys  
[www.synopsys.com](http://www.synopsys.com)

4Test AS  
[www.4test.no](http://www.4test.no)

dyrberg trading, EDA-Xperts Europe  
[www.pads-pcb.dk](http://www.pads-pcb.dk)

Xilinx  
[www.xilinx.com](http://www.xilinx.com)

Testpro AS  
[www.testpro.no](http://www.testpro.no)

Acal Norge  
[www.acal.no](http://www.acal.no)

The MathWorks  
[www.mathworks.com](http://www.mathworks.com)

NB: Se abstracts på påfølgende sider.

## Abstracts

### Tirsdag, Tutorial: Virtual prototyping design techniques for System on Chip

**Systems on Chips - Design Philosophies,**  
Andrew Brown, University of Southampton, SO17 1BJ, UK.

The increase in complexity and sheer size of VLSI systems over the past few decades needs no reiteration; microelectronics and its associated disciplines have undergone a growth explosion that cannot be matched by any other area of science or engineering in the history of technology. What are, perhaps, less obvious, are the ways in which design methodologies have also been forced to adapt. Twenty years ago, the concept of hierarchical design was complicated, but these complications were at least relatively intuitive, and the decomposition of a complex set of system requirements from concept to final silicon realisation followed a path that was not too difficult to understand, at least in principle. The ever-shrinking geometries that fabrication engineers have enabled over the years have overlaid this design flow with extra problems. Parasitic effects, once negligible, have grown to become comparable to, and then dominate, the effects that the designer intends. We are now at the state where interconnect delays completely dominate digital switching speeds; the overall behaviour of the circuit depends almost entirely on effects that cannot be calculated until the final geometry is known. This information, now dominant, was not known by the previous levels of the design flow, because it had yet to be derived. Thermal and power effects, once only necessary to perform rough battery life calculations, now directly effect electronic operating points and inter-chip bonding reliability. Single chip designs will incorporate subcircuits that directly monitor temperature and clock skew, and then directly modulate the circuit behaviour accordingly.

If you are in the VLSI business, it can be difficult to keep up. If you are new, it can be bewildering to know where to start.

This seminar offers an overview of this bewildering area. There is no single, universally accepted, 'right way' to handle complexity. Practitioners develop their own techniques, hone and refine them, and those that are successful stay in use, whereas others are discarded. The talk comprises a series of perspectives:

***SoC: What exactly is it?***

Discusses some of the issues of scale and interoperability, the notion of an IP core and levels of abstraction. A (non-linear) extrapolation of Moores Law is considered - where will it all end? The idea of the network-on-a-chip (NoC) is introduced.

***Virtual prototyping:***

The discussion about levels of abstraction is carried forward to include modelling and simulation, again at different levels of abstraction. The notion of a network is extended to physical domains other than the electronic.

***Tools and methods:***

The big picture: The design flow as an iterative process, and the necessity of hardware description languages to support the flow. We go (briefly) 'under the hood' of a number of core design-flow tools: simulators, synthesis tools, place and route systems.

***SoC design issues:***

We look at some conventional design decisions (full custom vs. standard cell vs. gate array vs. FPGA design) and some more adventurous solutions (Globally Asynchronous, Locally Synchronous - GALS - designs, asynchronous design techniques, high speed clock phase synchronisation, embedded processors, generic optimisation, design-for-test -DfT- and reliability).

The intention of the seminar is not to provide chapter-and-verse on any specific design technique; it is our goal to illustrate ideas, and provide pointers for further research into particular solution areas.

<b>Onsdag, Sesjon 3: Analog/Mixed Signal, Abstracts</b>	
<b>Kl. 15.10</b>	<p><b>Emerging Trends in A/D Converters for Software Defined Radio,</b> <i>Johnny Bjørnsen, NordicSemiconductor</i></p> <p>Dette foredraget gir en kort bakgrunn for kravene som stilles til ADCer som skal brukes i Software Defined Radio systemer. Videre presenteres noen design av ADCer og krets-løsninger i disse komponentene som gjør det mulig å nå ytelsen som kreves.</p>
<b>Kl. 16.20</b>	<p><b>Utfordringer innen mixed-signal design for CMOS enbrikke kameraer,</b> <i>Trygve Willassen. Micron</i></p> <p>Et CMOS enbrikke kamera består av både analoge og digitale kretsløsninger. Deteksjon av lys, signal forsterkning og A/D konvertering gjøres i analog domenet etterfulgt av digital prosessering før bildedata presenteres på utgangen. Foredraget starter med en generell presentasjon av de analoge byggeblokkene samt digitale funksjoner/algoritmer. Målet i antall solgte enheter er kamera for mobiltelefoner det desidert største markedssegmentet for CMOS sensorer. Utviklingen innenfor dette applikasjonsområdet preges av krav om stadig høyere oppløsning samtidig som det stilles strenge krav til brikkenes fysiske størrelse. Aggressiv skalering vil derfor være utgangspunktet når spesielle utfordringer presenteres til slutt.</p>
<b>Kl. 17.00</b>	<p><b>Laveffekt IC design for måle- og monitorerings-funksjoner i AVR mikrokontrollere,</b> <i>Are Hellandsvik, Atmel</i></p> <ul style="list-style-type: none"><li>- A short introduction to the Atmel AVR Microcontroller architecture and an overview of the applications where the low-power capabilities of the AVR are of great importance.</li><li>- How do we reduce the power consumption? An overview of the analog blocks integrated on the AVR, both standard and application-specific.</li><li>- What low power design techniques are adopted, at the system level and at transistor level.</li><li>- What is in store for AVRs in the future in terms of low-power?</li><li>- Challenges in terms of technology, applications, robustness and continued feature integration.</li></ul>



<b>Onsdag, Sesjon 4: FPGA spor 1, Abstracts</b>	
<b>Kl. 14.30</b>	<p><b>WLAN i SIM-kort - ekstremdesign ved bruk av CPLD-teknologi i "bare die"-formfaktor</b> <i>Atle Sægvog, Radionor</i></p> <p>Radionor Communications har utviklet prototyper der IEEE 802.11b WLAN-teknologi har blitt integrert i SIM-kort for mobiltelefoner. De utfordringene man møter ved integrasjon av radiosystem i SIM-kort er strenge størrelses- og strømtrekksbegrensninger. Bruk av høytytelses CPLD-kretser med lavt strømtrekk levert som "bare die" samt produksjonsprosesser som inkluderer bonding til kretskort har vært sentralt for å få dette til.</p> <p>Foredraget gir et riss av prosjektet og utfordringene og erfaringer ved implementasjon i CoolRunner-II CPLD-teknologi og produksjonsprosesser som innebærer bonding av CPLD-kretser som leveres i "bare die"-formfaktor.</p>
<b>Kl. 15.10</b>	<p><b>Security issues to consider when using FPGAs</b> <i>Graham Baker, Actel</i></p> <p>The importance of FPGAs in most systems has been elevated to the point that they contain the most substantial portion of the added value in a system. Most other system components are commercial off-the-shelf devices. The rapidly growing importance of FPGAs and microprocessors in systems today, plus increasing time-to-market pressures, has lead to security being 'overlooked' in most systems. The need for security in logic devices is apparent when the nature of common attacks is examined.</p> <p>Here are some points to be covered by the Presentation.</p> <p>What is "security" in the semiconductor market? Is there an increased need for security, and how capable are malicious attackers today? What are the accepted levels of security as viewed today? What's the difference between "reverse engineering," "cloning," and "over building?" Aren't most FPGA products secure, and are ASICs a secure technology? What is DES, Triple DES &amp; AES? What kind of techniques can be used to breach the security of a semiconductor device? How to implement additional security measures in an FPGA design.</p>
<b>Kl. 15.50</b>	Kaffepause
<b>Kl. 16.20</b>	<p><b>Feilretting og verifisering av FPGA</b> <i>Hans Jørgen Fosse, Mikrokrets</i></p> <p>En gjennomgang av feilrettingsteknikker og tilgjengelige hjelpemidler</p>
<b>Kl. 17.00</b>	<p><b>What's the challenge when the technology of FPGA goes to 90nm - and beyond ?</b> <i>Ola Wall, Synplicity</i></p> <p>What's the challenge when the technology of FPGA goes to 90nm? Why does current physical synthesis tools not satisfied the need? Will iterative methodologies work?</p>

<b>Torsdag, Sesjon 7: FPGA spor 2, Abstracts</b>	
<b>Kl. 09.00</b>	<p><b>CPU innbakt i FPGA - Muligheter og utfordringer</b> <i>Nicolay Rognlén, Arrow</i></p> <p>Programmerbare kretser blir mer og mer sentrale i dagens systemer. I økende grad inkluderes også CPU'er i fpga'ene. Vi vil gå gjennom muligheter med dagens teknologi, kunders skepsis/ankepunkter og hvilke erfaringer mange kunder sitter igjen med.</p>
<b>Kl. 09.40</b>	<p><b>Er "reconfigurable computing" klar for kommersiell anvendelse?</b> <i>Jim Tørresen, UiO</i></p> <p>Instruksjonsutføringen på prosessorer har i lang tid vært basert på at det skiftes mellom et antall jobber (prosesser). På den måten får en tilsynelatende kjørt programmer i parallell. Med tilgjengeligheten av FPGA, har det tilsvarende vært mulig å skifte <i>maskinvarebeskrivelse</i> under kjøring. Likevel har denne muligheten kun i svært begrenset grad blitt tatt i bruk så langt. Nå ser det imidlertid ut til at flere begynner å finne dette interessant både for å oppnå høyere ytelse og for å mer effektivt utnytte teknologien. Foredraget vil belyse mulighetene som finnes og gi eksempler på hvordan disse er tatt i bruk i kommersielle anvendelser.</p>
<b>Kl. 10.20</b>	<b>Kaffepause</b>
<b>Kl. 10.50</b>	<p><b>Embedded processing i FPGA - et nytt design paradigme</b> <i>Jan Anders Mathisen, Xilinx</i></p> <p>Tradisjonell systemutvikling baserer seg oftest på en tidlig partisjonering av et system i maskinvare og programvare. Ofte viser det seg at en ufullstendig spesifisering fører til en uheldig partisjonering. Bruk av prosessorkjerner i FPGA (både myke og harde) åpner for et nytt designparadigme der partisjonering mellom maskinvare og programvare er en dynamisk prosess gjennom store deler av utviklingsperioden</p>
<b>Kl. 11.30</b>	<p><b>Keynote fra FPGAworld 2005:</b> <b>Faster, Cheaper and Safer FPGA Development: Efficient Reuse Methodologies and Impacts</b> <i>Espen Tallaksen, Digitas</i></p> <p>Most companies have a major potential for efficiency improvement in developing complex FPGAs. Paradoxically most of these actually believe they are already really efficient... The keyword is 'efficient' reuse. It is very important to differentiate between 'ad hoc reuse' and 'efficient reuse'. Companies mastering efficient reuse have experienced more than 50% reduction in total development time, - far, far better than any ad hoc reuse...</p> <p>This keynote presentation will discuss these issues - and then introduce the "Efficient Reuse Methodology - Impact Chart". This will give the audience an overview of the most important reuse methodology elements, how these affect your current and future projects, the investments required and the actual probability of improvements. Special attention will be given to efficient reuse within a single FPGA project.</p>

<b>Torsdag, Sesjon 9: FPGA spor 3, Abstracts</b>	
<b>Kl. 13.20</b>	<p><b>Model-Based Design of Embedded Signal Processing Systems with Simulink,</b> <i>Fredrik Rodin, The MathWorks</i></p> <p>This presentation demonstrates new tools for Model-Based Design that accelerates the development of signal processing applications. A MathWorks engineer will provide a comprehensive technical overview of modeling, simulation, implementation and verification of real-world, real-time signal processing systems. Many aspects of Model-Based Design, including algorithm development, system modeling, fixed-point system design, automatic C and HDL (VHDL and Verilog) code generation and design verification. The session includes demonstrations of embedded signal processing systems on DSP and FPGA hardware to illustrate each concept.</p>
<b>Kl. 13.50</b>	<p><b>High Speed Differential transceivers in FPGA</b> <i>Bob Blake, Altera</i></p> <p>Raske differensielle serielle linker blir mer og mer aktuelle(PCI Express, Rapid SerialIO, Gigabit Ethernet osv.). Hvilke muligheter finnes i fpga'er? Hvilke utfordringer finnes? Hvordan omgås utfordringene?</p>
<b>Kl. 14.20</b>	<p><b>The clock-domain crossing (CDC) Verification Challenge</b> <i>Mikael Andersson, Mentor Graphics (Ekspert på 0-in verktøyene)</i></p> <p>Modern system designs typically contain many separate clock domains. In hardware, clock-domain crossing (CDC) signals are often subject to the effects of metastability. However, the effects of metastability cannot be analyzed using conventional RTL simulation. As a result, many CDC-related functional bugs go undetected until post-silicon verification. Incorrect handling of Clock-Domain Crossing (CDC) signals is the 2nd major cause of re-spins. Automated CDC verification will significantly reduce the risk of CDC related silicon re-spins.</p>